



FPGA Básico

Parte 3

(Análise de Potência)



Manoel Eusebio de Lima

Victor Medeiros

Abel Guilhermino Silva-Filho

(agsf@cin.ufpe.br)





Agenda



2

- Motivação
- Componentes de Potência
- Redução de Tensão
- Tamanho do Canal
- Roadmap
- Multicores x Frequência
- Arquitetura FPGA
- Potência x Temperatura
- Ferramentas

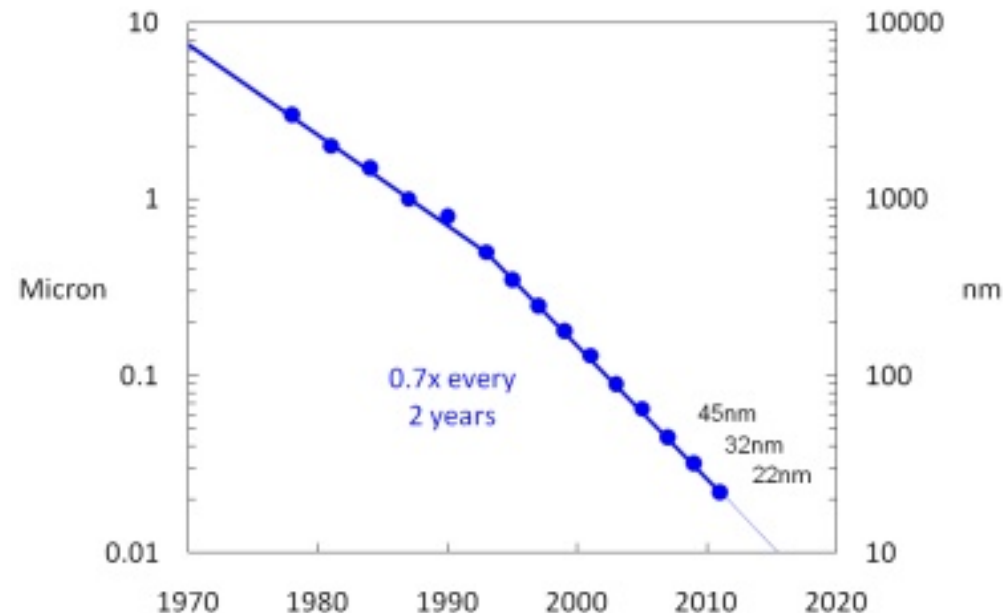
■ Exemplo

+ Transistores



3

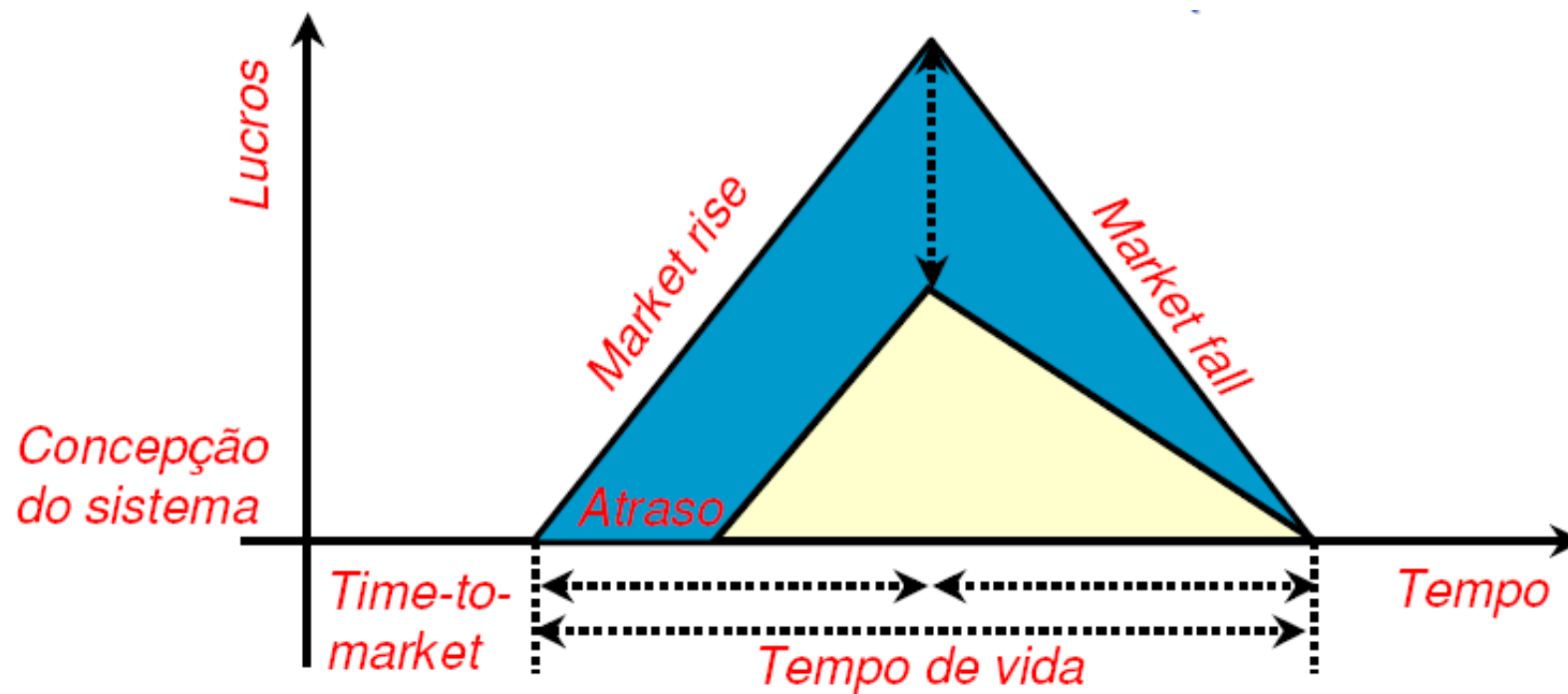
- O número de transistores em um circuito integrado dobra a cada 18 meses. (Moore)
- Projetar sistemas cada vez mais complexos em uma mesma pastilha (Ex: SoCs, MPSoCs)
- Propicia aplicações digitais agregar cada vez mais funcionalidade em equipamentos de menor volume (Ex: 22nm)



+ Time to Market



4

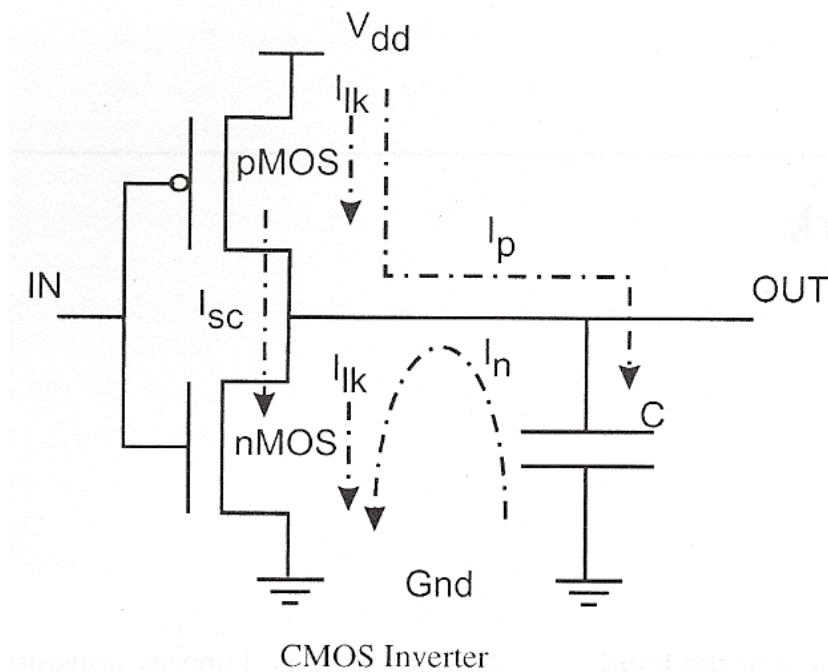




Componentes de Potência



5



Fonte : Advanced Memory Optimization Techniques for Low-Power Embedded Processors, Springer 2006.

$$P_{\text{CMOS}} = P_{\text{static}} + P_{\text{dynamic}}$$

Componente dinâmica

Carga e descarga de capacitores (I_p, I_n)

- Durante a transição de baixo para alto uma energia $E = CV_{dd}^2$ é drenada de V_{dd} através de I_p uma parte da qual é armazenada em C .
- Durante a transição de alto para baixo, a capacitância de saída é descarregada através de I_n .

$$P_{\text{chaveamento_dinâmico}} = C_L V_{dd}^2 f$$

Corrente de curto circuito (I_{sc})

- Ex: Quando a entrada de um inversor CMOS chaveia de um nível lógico para o oposto, haverá um instante em que ambos os transistores pMOS e nMOS estarão ativados.
- Durante este tempo uma corrente I_{sc} fluirá de V_{dd} para G_{nd} .

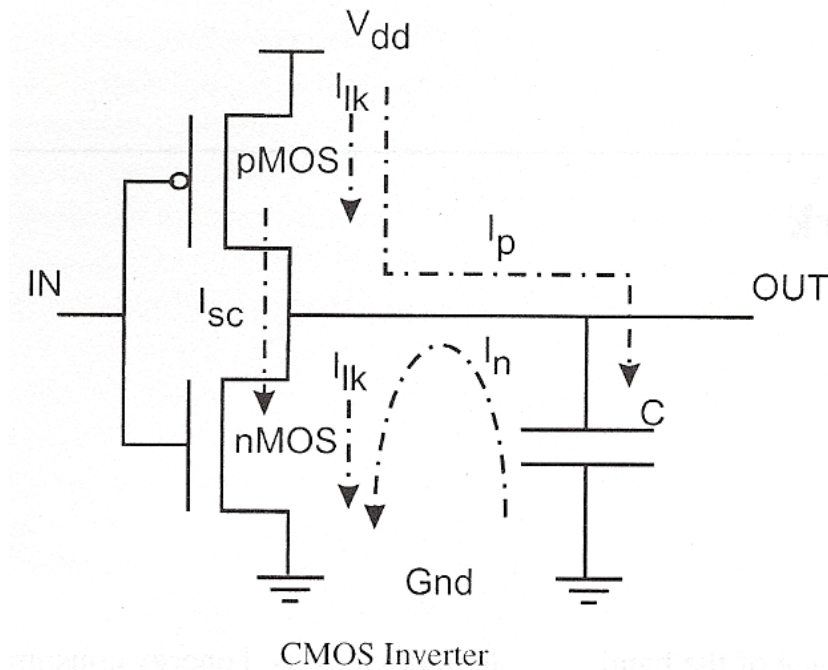
$$P_{\text{curto-circuito}} = K (V_{dd} - 2V_{th})^3 \cdot \tau \cdot f$$



Componentes de Potência



6



Fonte : Advanced Memory Optimization Techniques for Low-Power Embedded Processors, Springer 2006.

$$P_{\text{CMOS}} = P_{\text{static}} + P_{\text{dynamic}}$$

Componente Estática (I_{lk})

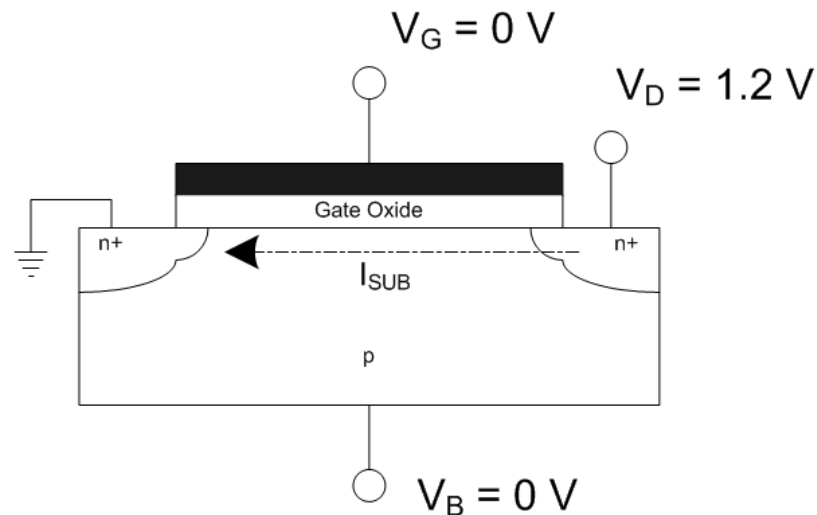
- I_{lk} = pMOS e nMOS não são isoladores perfeitos, com isso, há sempre uma corrente de leakage que flui de V_{dd} para G_{nd} .
- Ela é inversamente proporcional a característica de tamanho e exponencialmente a tensão de threshold (V_t).
- Ex: $I_{\text{lk}} = 10\text{-}20\text{pA/transis}$ (130nm; $0,7V_t$)
- Ex: $I_{\text{lk}} = 10\text{-}20\text{nA/transis}$ (130nm; $0,3V_t$)
- Leakage Power:
 - 5% when ($0,25\mu\text{m} = 250\text{nm}$)
 - 20-25% (130nm)

Aumento Exponencial
na corrente de
subthreshold (I_{lk})

+ Redução de Tensão



7



Ex: $I_{lk} = 10\text{-}20\text{pA/transis}$ (130nm; $0,7V_t$)
 Ex: $I_{lk} = 10\text{-}20\text{nA/transis}$ (130nm; $0,3V_t$)

- Fontes de tensão V_{dd} reduzidas para controlar a potência dinâmica.

$$P_{chaveamento_dinâmico} = C_L V_{dd}^2 f$$

- Isso fez com que reduzisse as escalas de tensão de **threshold** V_{th} para aumentar a capacidade de fornecimento de corrente.

- Redução de $V_{th} \rightarrow$ aumento da corrente de subthreshold (I_{SUB}).

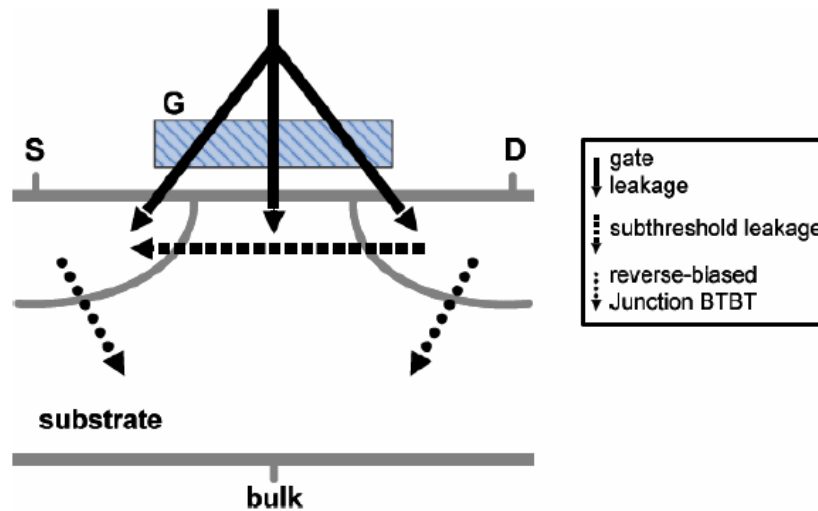
$$I_{SUB} = \mu \cdot C_{ox} \cdot V_{th}^2 \cdot \frac{W}{L} \cdot e^{\frac{V_{GS} - V_T}{nV_{th}}}$$

$$\left\{ \begin{array}{l} V_T = \text{Threshold Voltage} \\ V_{GS} = \text{Gate-source Voltage} \\ V_{TH} = \text{Thermal Voltage} \end{array} \right.$$

+ Tamanho do Canal



8



Correntes de leakage majoritárias.

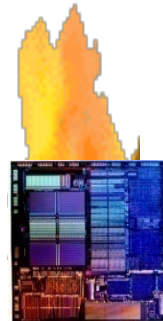
- **Redução de tecnologia implica em redução de canal**
 - Isso não foi feito sincronizado com as reduções de V_{dd} e V_{th} .
 - Espessura do óxido reduzida T_{ox} (aumento de campo elétrico)

Node	90nm	65nm	45nm
Dynamic Power per cm^2	1X	1.4X	2X
Static Power per cm^2	1X	2.5X	6.5X
Total Power per cm^2	1X	2X	4X

+ Roadmap ITRS



9



$$P_{chaveamento_dinâmico} = C_L V_{dd}^2 f$$

$f_{Op} > 3\text{GHz}$

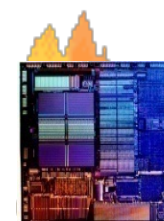
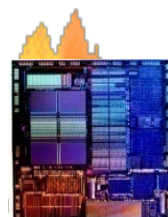
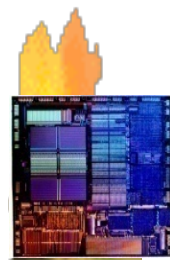
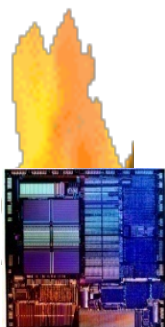
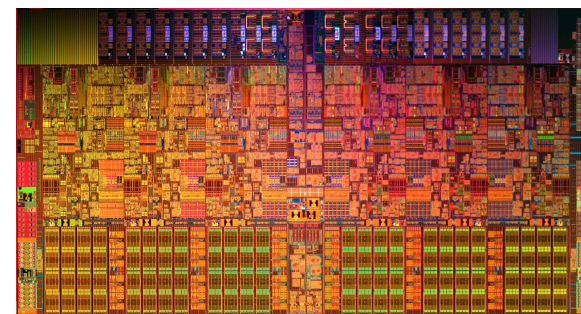
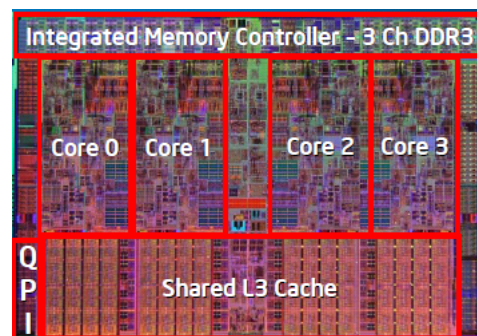
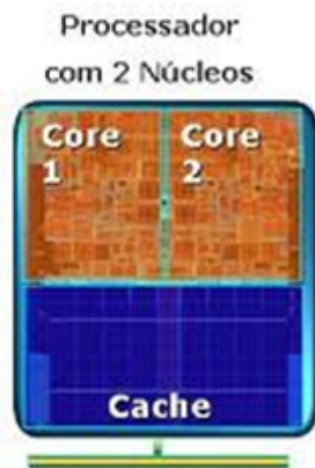
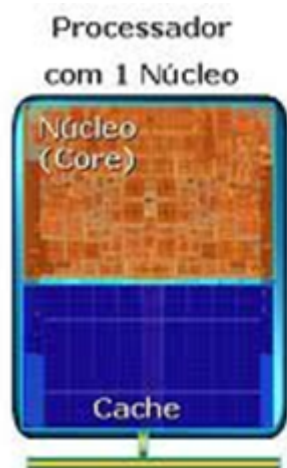
Table ORTC-1 ITRS Technology Trend Targets		[including PIDS 2011 Roadmap Flash and DRAM Trend Driver Proposals]							
	Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
2010 ORTC	Flash ½ Pitch (nm) (un-contacted Poly)(f[A]	38	32	28	25	23	20	18	15.9
2010 PIDS Projection based on survey data	Flash ½ Pitch (nm) (un-contacted Poly)(f[B]	N/A	26	24	22	20	19	18	16
2010 WAS	DRAM ½ Pitch (nm) (contacted)(C]	52	45	40	36	32	28	25	22.5
2010 PIDS Projection based on survey data	DRAM ½ Pitch (nm) (contacted)(D]	N/A	42	36	31	28	25	24.0	21.0
	MPU/ASIC Metal 1 (M1) ½ Pitch (nm)[1,2]	64	45	38	32	27	24	21	18.9

Fonte : ITRS – 2010 EDITION - DESIGN

+ Multicores x Frequência



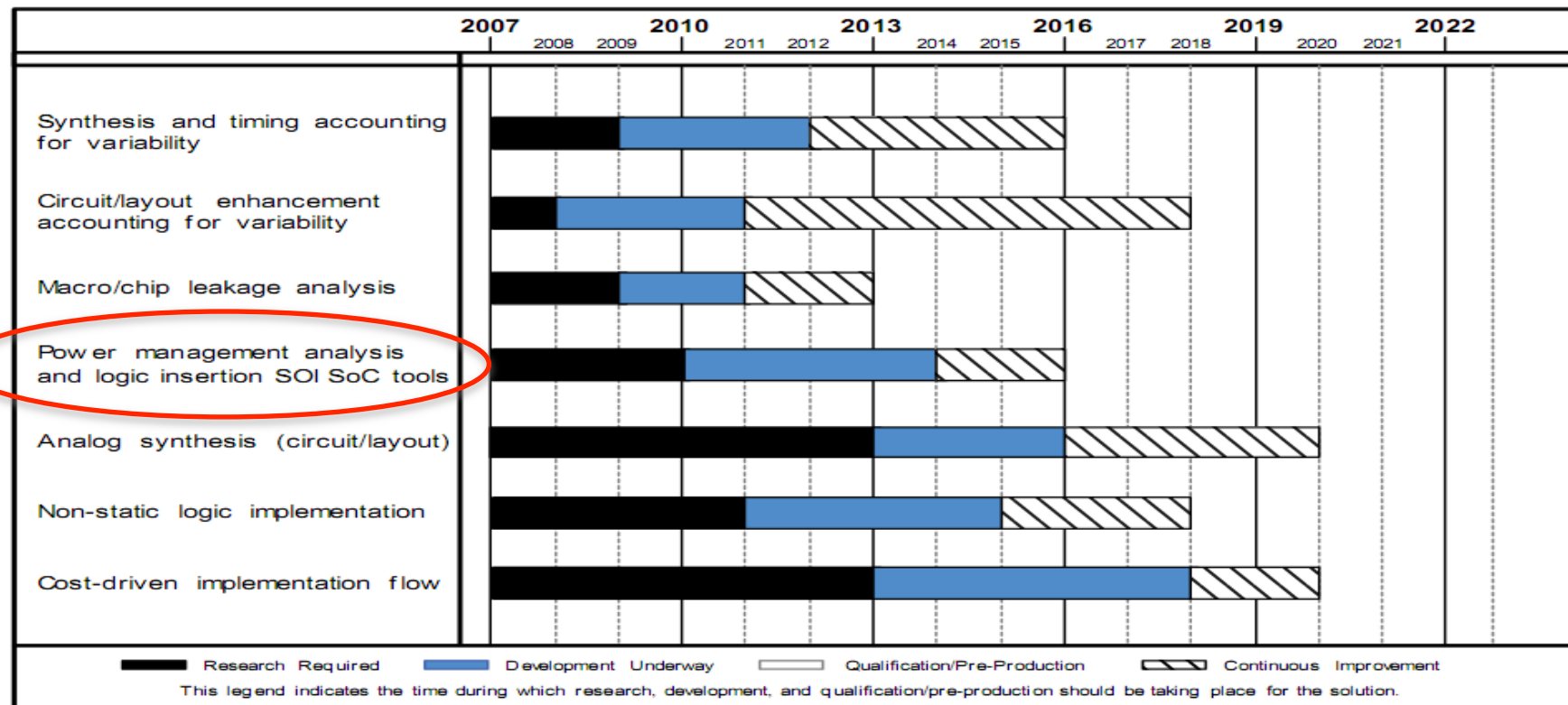
$$P_{chaveamento_dinâmico} = C_L V_{dd}^2 f$$



+ Pesquisas



11



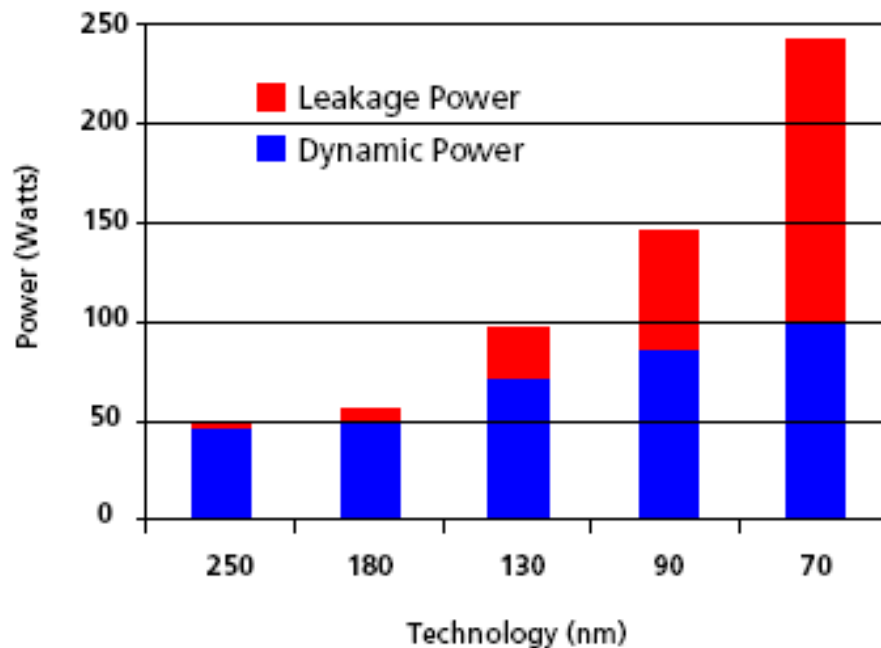


Tendências Consumo Energia



12

Source: microprocessor power, Intel



Source:

THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS: 2008 UPDATE

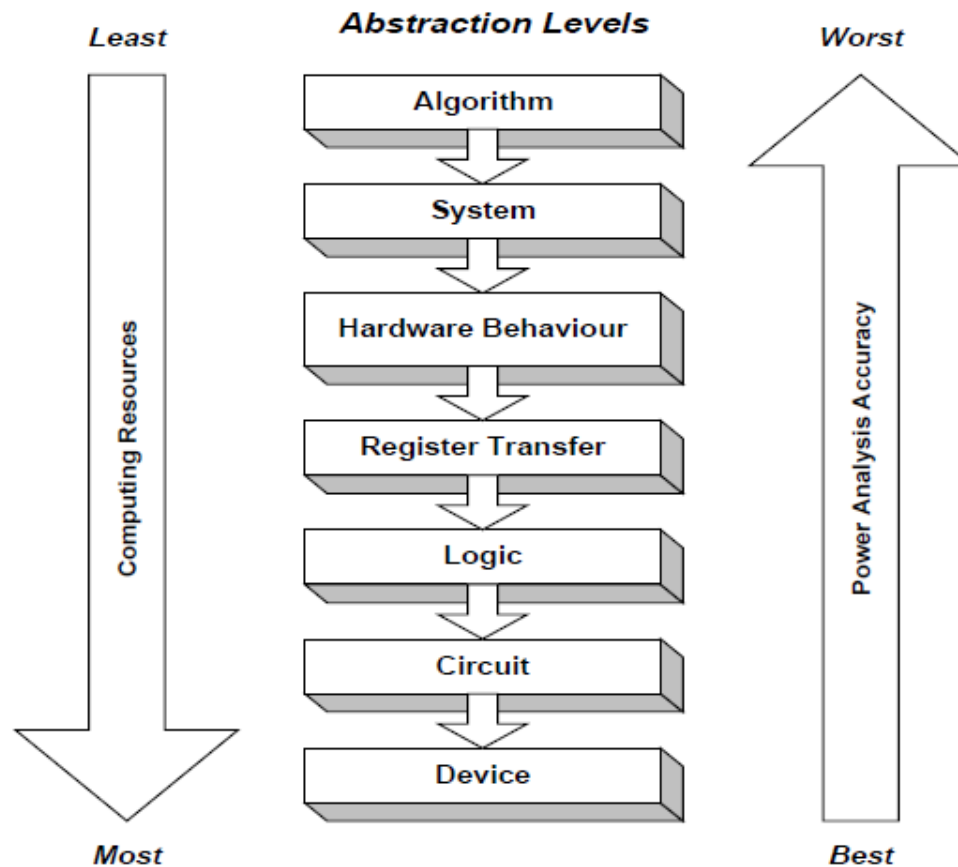
Características

- Explosão no consumo de potência será considerado um fator crítico para o futuro projeto de um SoC.
- Rápido crescimento do consumo de energia resultará em fatores críticos com encapsulamento e refrigeração do chip.
- Leakage power será muito maior que o valor calculado na figura, devido ao efeito da temperatura.
- Consumo de energia por PE diminui de acordo com as tendências de tensão e constante dielétrica.

+ Níveis de Abstração



13



■ Maior Nível de Abstração

- (+) Mais rápido
- (-) Menor precisão
- (+) Menos recursos de computação para avaliar

■ Menor Nível de Abstração

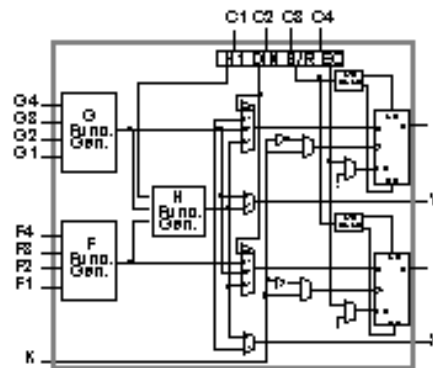
- (-) Projetos mais lentos
- (+) Maior precisão
- (-) Mais recursos de computação para avaliar



Arquitetura FPGA

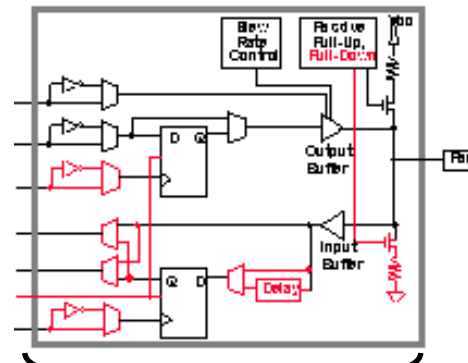
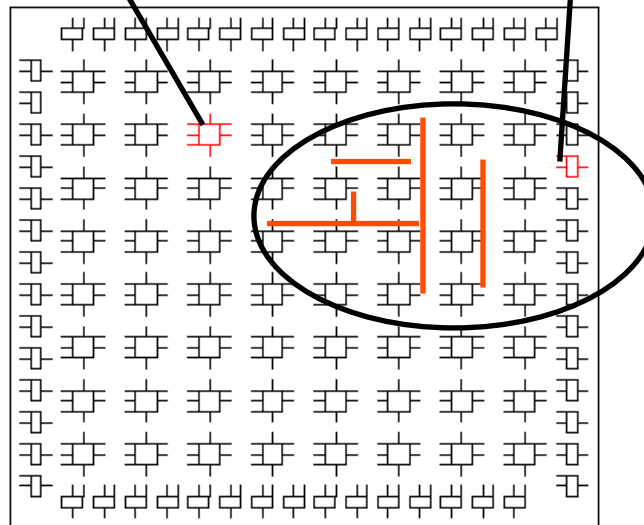


14



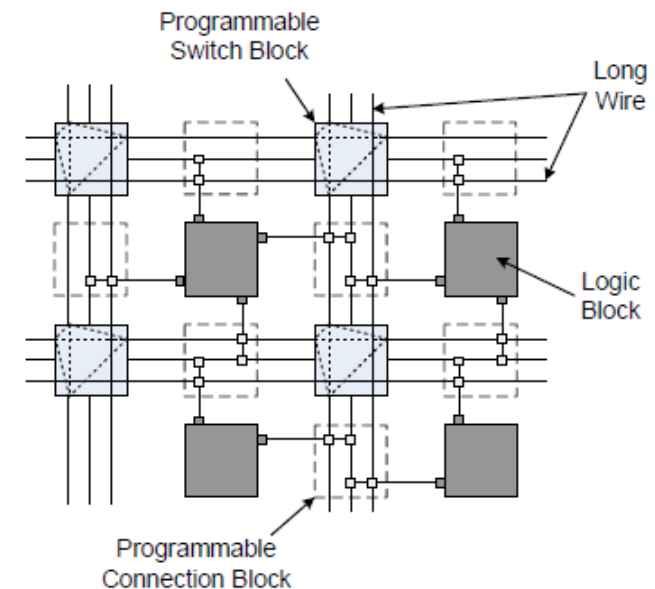
cell logic block (clb)

More than
10 million gates
available



I/O logic block

Interconnection





Componentes de Potência em FPGA



15

- Pre-Programmed Static (Quiescent) Device Power Consumption:
 - Potência consumida pelo FPGA antes da programação do dispositivo
- Inrush Programming Current
 - Corrente requerida quando programando um dispositivo até a programação completa
- Post-Programmed Static Power Consumption
 - Potência que está sendo consumida pelo dispositivo com frequência 0 MHz. Muito significativa. Devido a grande quantidade de transistores (8x a 10x comparado a ASIC sem considerar lógica de configuração/multiplexação).
- Dynamic Power Consumption
 - Potência incremental consumida pelo componente de frequência não nula ($P = kcV^2f$). Depende do projeto

+ Potência Dinâmica

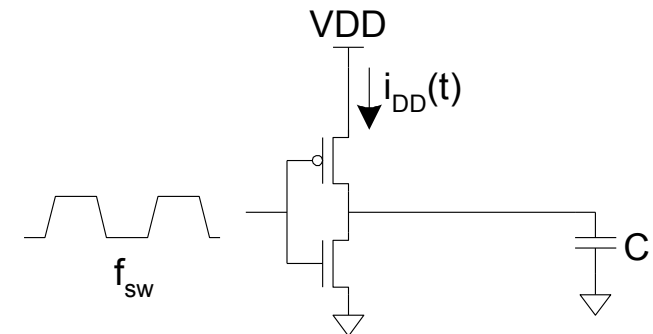


16

$$\begin{aligned} P_{\text{dynamic}} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt \\ &= \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt \\ &= \frac{V_{DD}}{T} [T f_{\text{sw}} C V_{DD}] \\ &= C V_{DD}^2 f_{\text{sw}} \end{aligned}$$

- Supondo um sistema com freq = f
- $f_{\text{sw}} = \alpha f$, where α = atividade de sinal
 - Se o sinal é o clk, $\alpha = 1$
 - Se o sinal chaveia uma vez por ciclo de clock, $\alpha = 1/2$
- Potencia dinâmica :

$$P_{\text{dynamic}} = \alpha C V_{DD}^2 f$$



+ Potência Estática



17

- FPGA utiliza mais transistores que os ASICs, devido a lógica de reconfiguração consumindo muito mais potencia estática para uma mesma funcionalidade.
- A potencia estática aumenta significativamente com a temperatura
- Uma grande parte da potência consumida é devido a partes não usadas do FPGA.

T	Typical P_{LEAK}
25°C	4.25 μ W/CLB
85°C	18.9 μ W/CLB

Tech = 90nm



Calor x Atividade Chaveamen



18

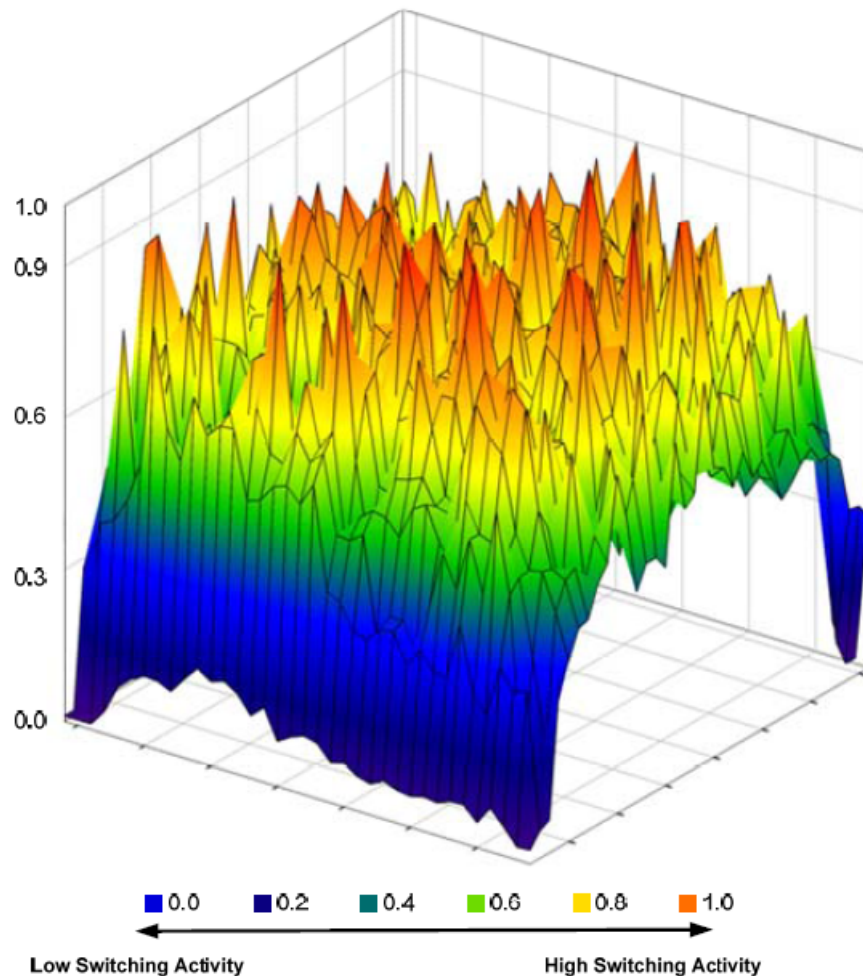


Fig. 2: Switching activity variation map of an FPGA

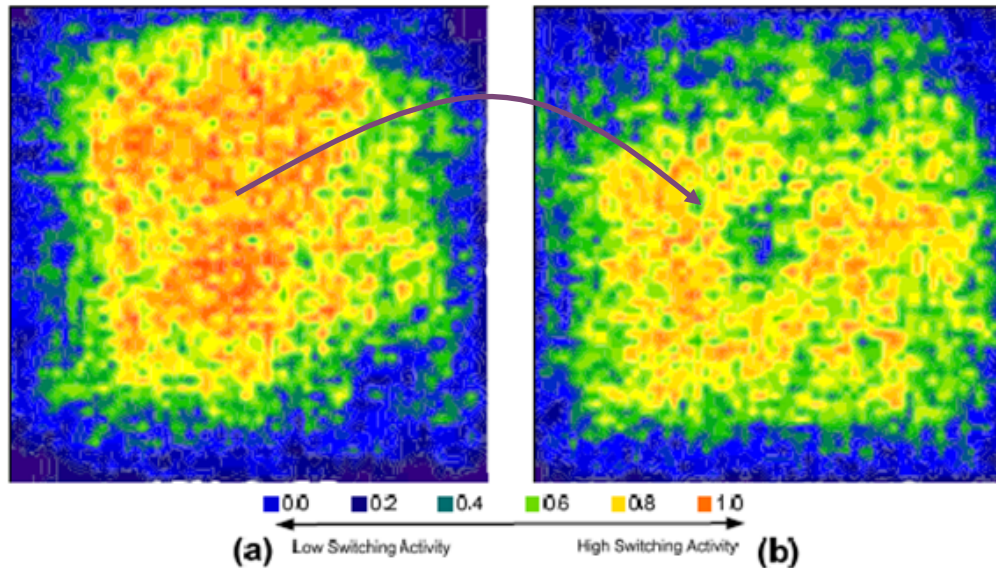
- Obter uma nova estratégia de administração da temperatura de um FPGA.
- Sugere-se chegar a uma redistribuição da potência por todo o dispositivo de forma “balanceada” (através da redistribuição da atividade de chaveamento)
 - reduzindo o número e a amplitude dos picos de dissipação de potência.



Atividade Chaveamento FPGA

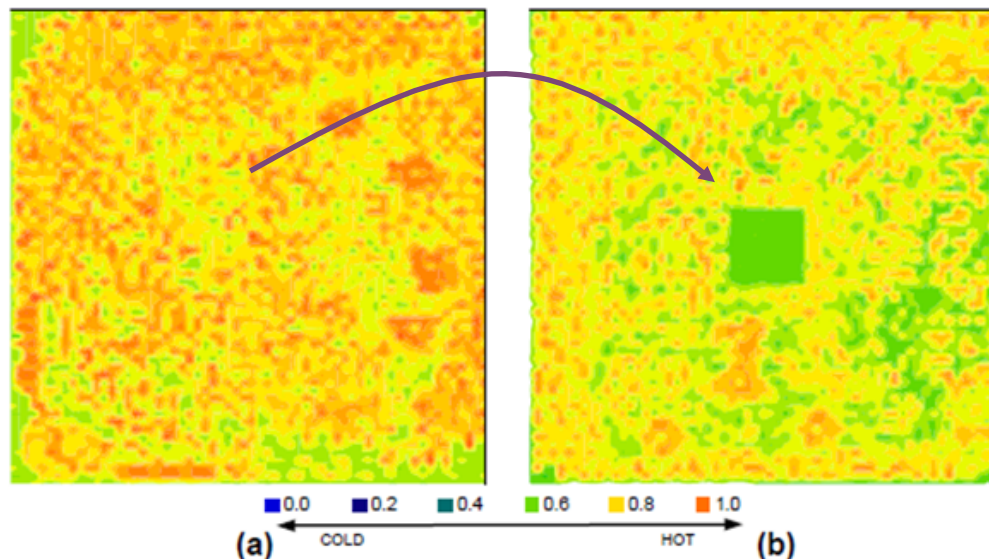


19



- Redução da temperatura nos hotspots (33% aproximado)

- **Uso de algoritmo EX-VPR,**
In: Siozios, et al., "A Novel Methodology for Temperature-Aware Placement and Routing of FPGAs", ISVLSI 2007.



- Redução de 15% no valor médio da temperatura



Comparação Potência FPGAs



20

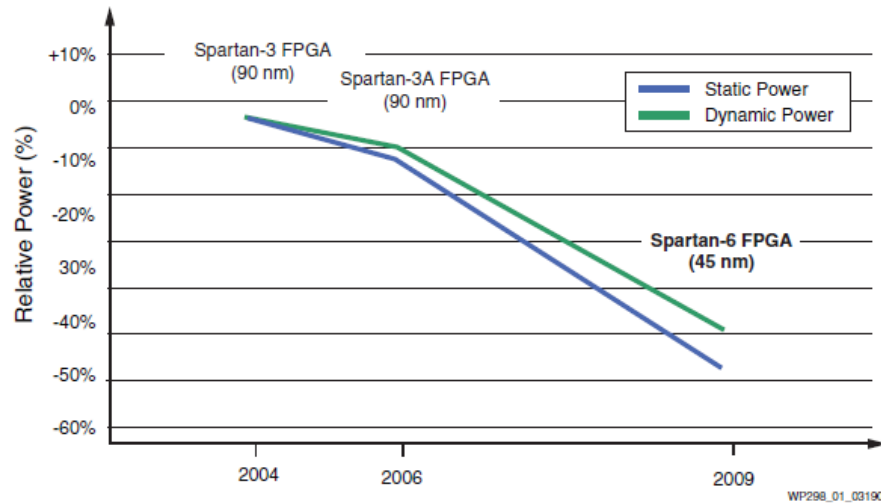


Figure 1: Relative Power Consumption of Spartan-3A FPGAs

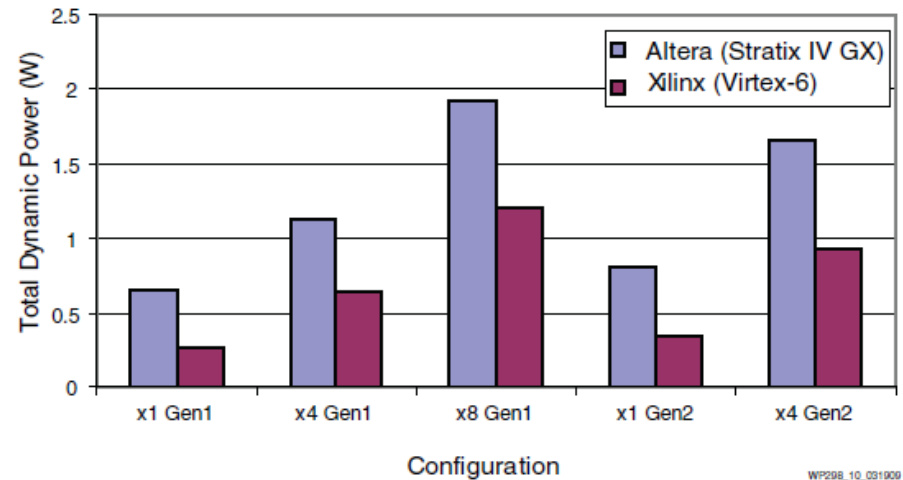


Figure 9: Power Consumption Comparison of PCI Express Solutions

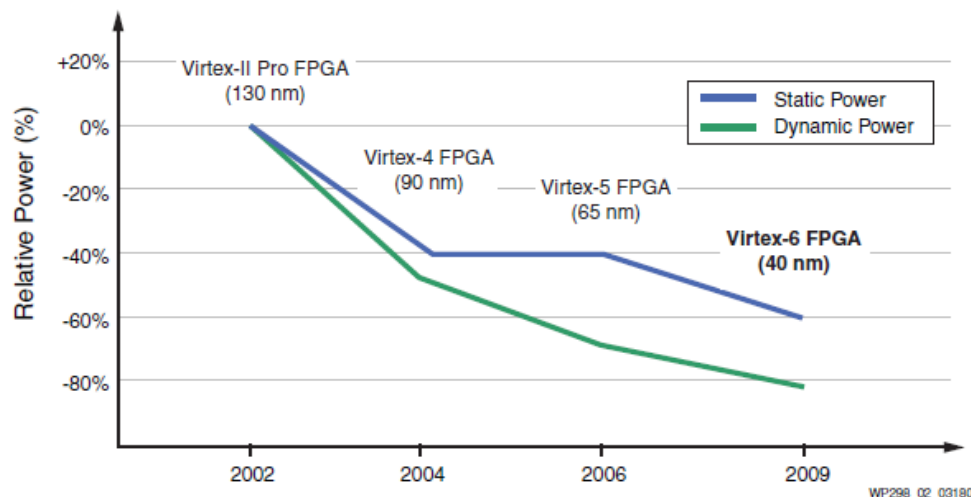
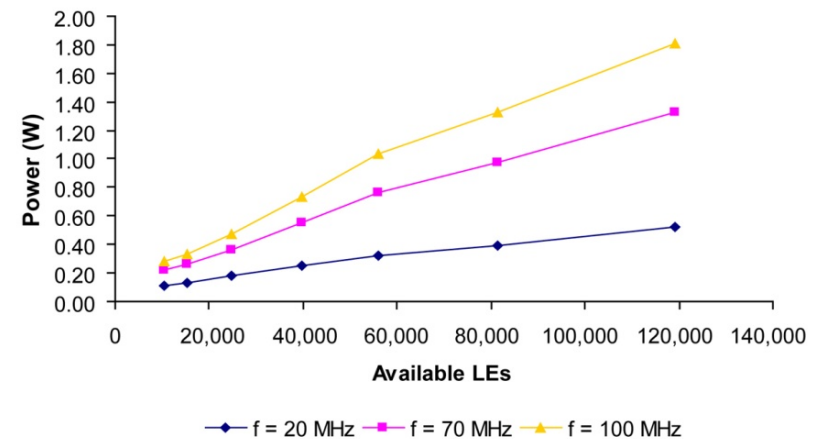


Figure 2: Relative Power Consumption of Virtex FPGAs

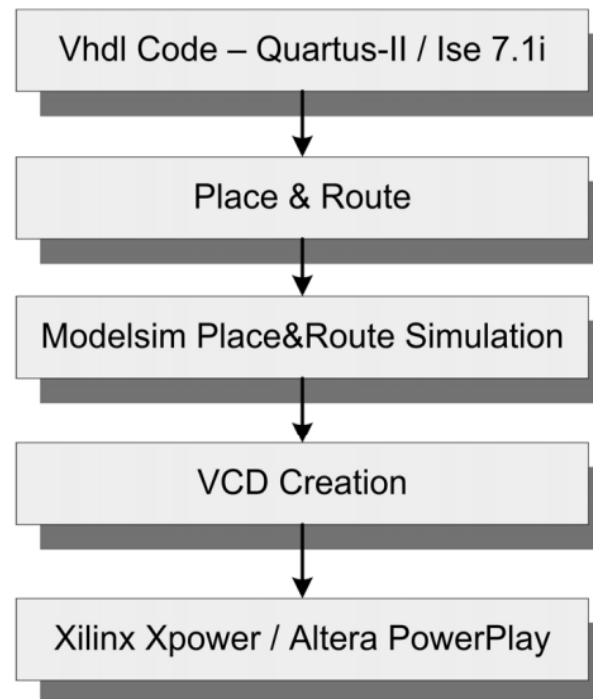


Source: WP298: Power Consumption at 40 and 45nm - 13 April 2009

+ Fluxo de Estimativa



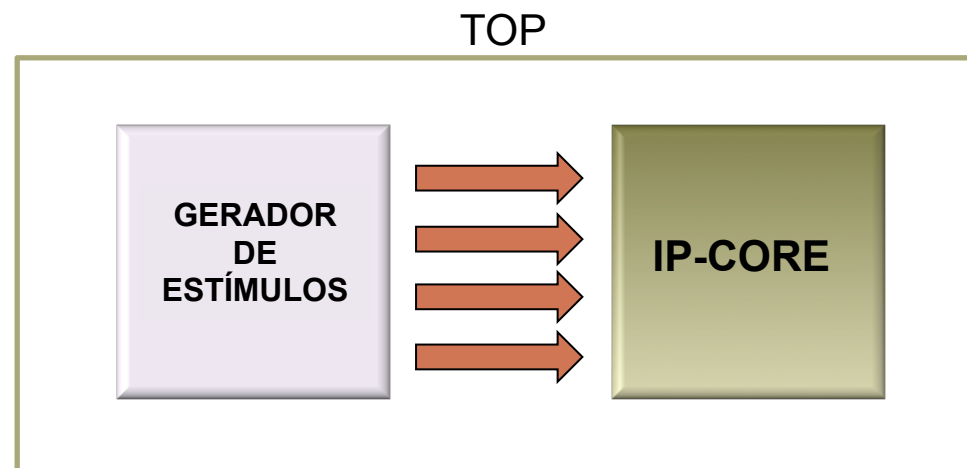
- O fluxo para estimativa de energia pode ser resumido de acordo com a figura abaixo.
- Foi usado como base o ambiente da Altera e PowerPlay



+ Fluxo de Estimativa

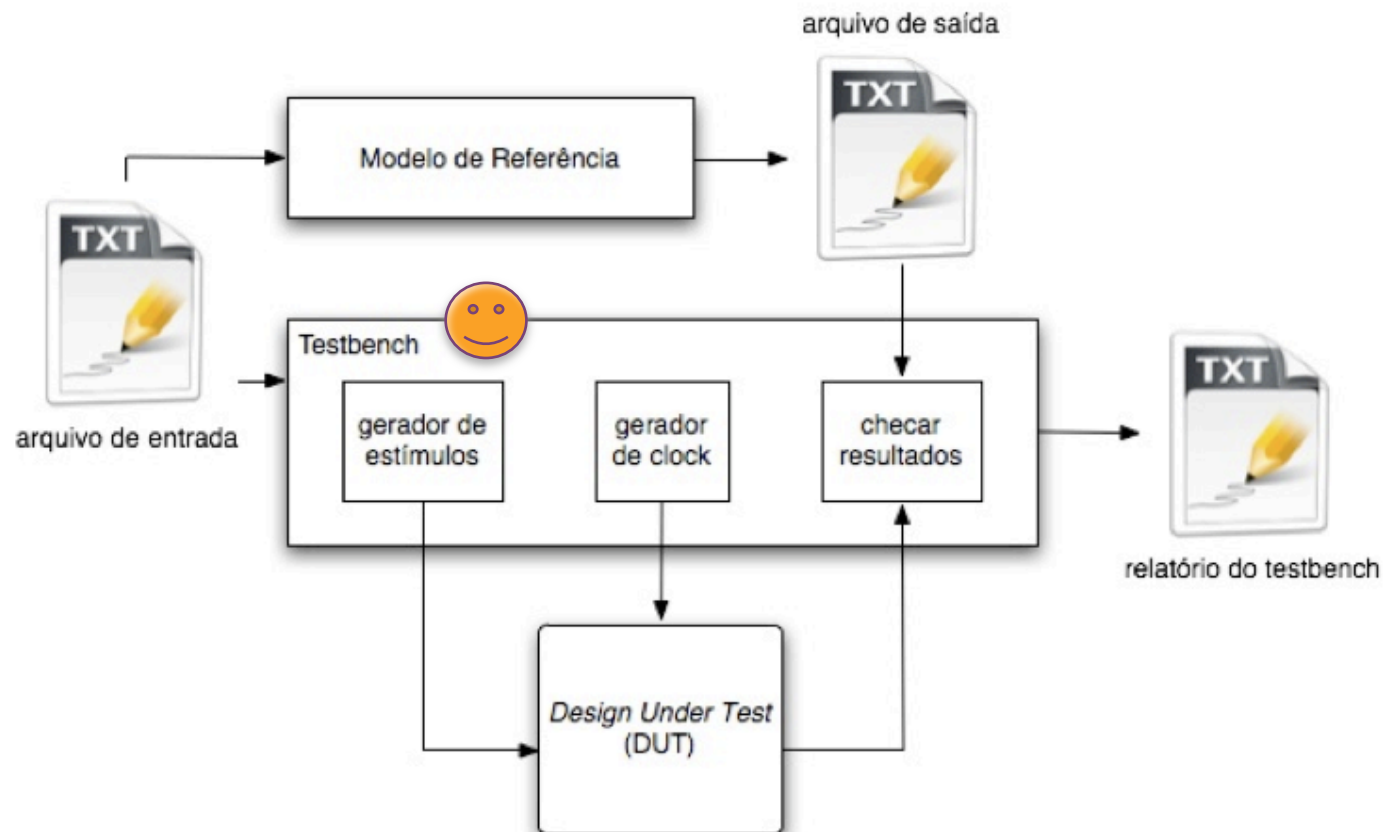


- Deve-se criar a estrutura para estimular as entradas do módulo que se deseja estimar o consumo de potência
 - Gerador de estímulos
 - Top que interliga o módulo ao gerador de estímulos



+ Fluxo de Estimativa

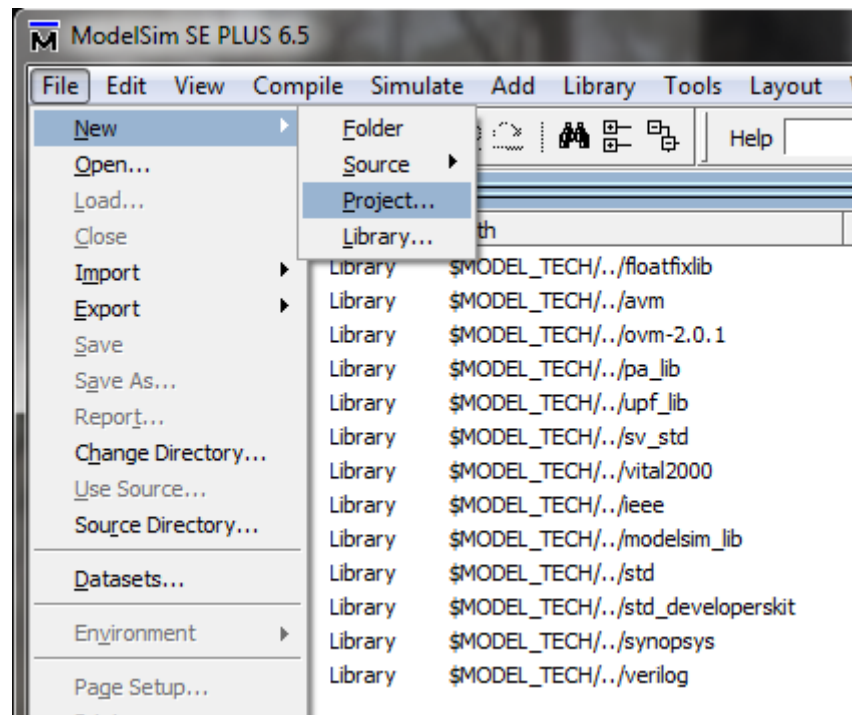
- Maior Cobertura de Testes
- Testes Randômicos executados mais facilmente
- Maior automatização no processo de testes



+ Fluxo de Estimativa

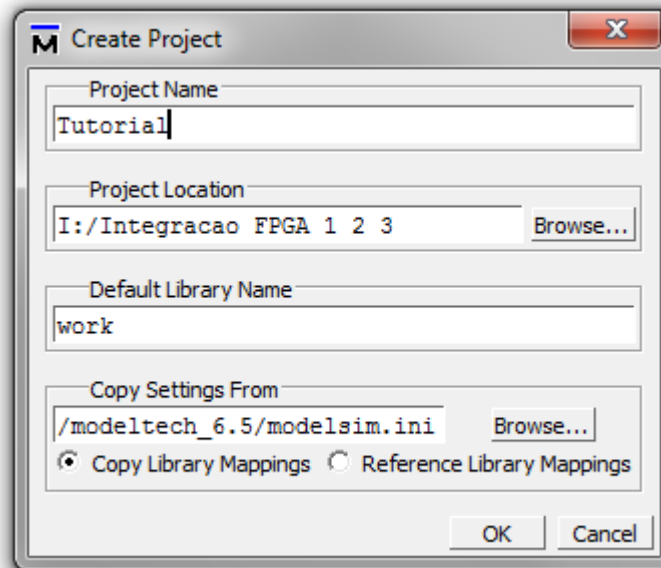


- Criando o projeto na ferramenta de Simulação Modelsim



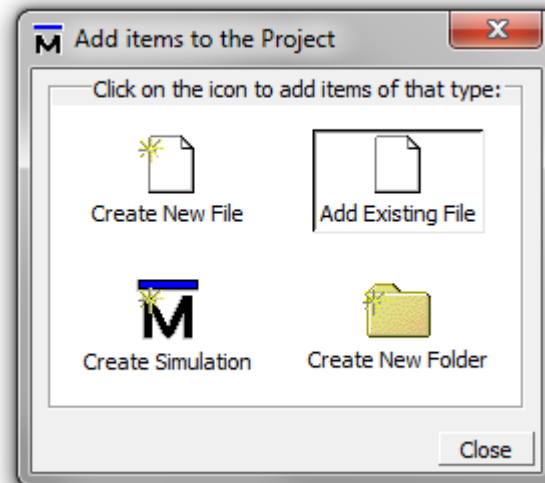
+ Fluxo de Estimativa

- Criando o projeto na ferramenta ModelSim



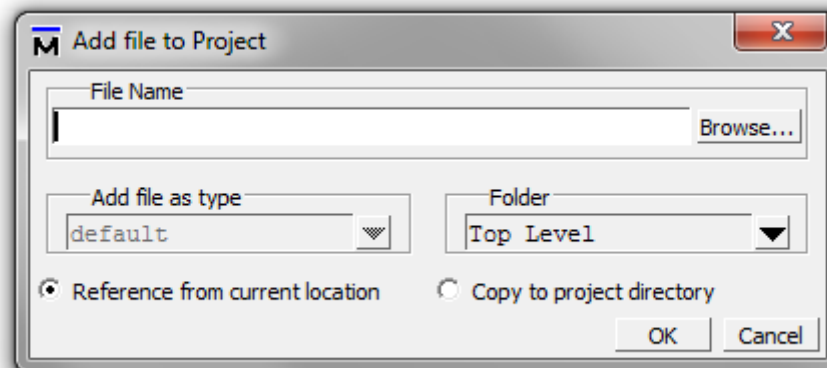
+ Fluxo de Estimativa

- Adicionando IPs



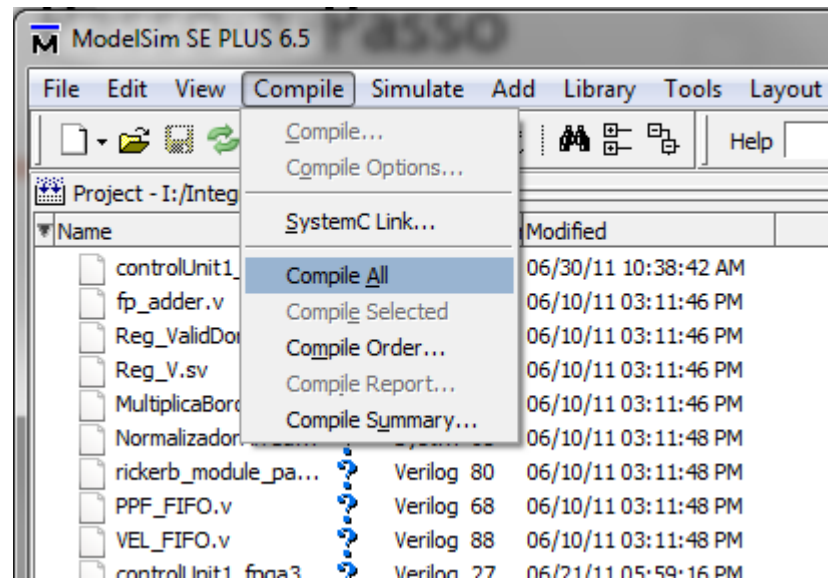
Adicionar ao projeto os RTLs do projeto

Configurar Nome e Local



+ Fluxo de Estimativa

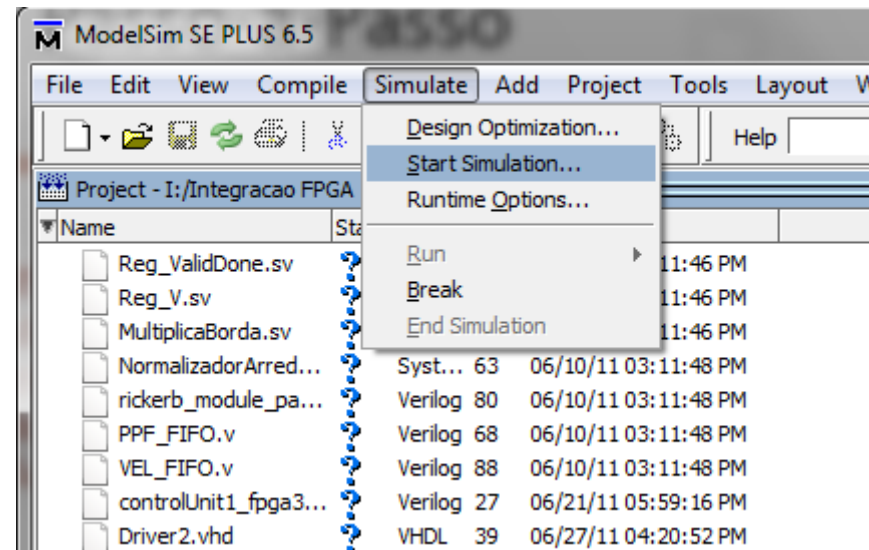
- Compilar códigos no ModelSim



Compile → Compile All

+ Fluxo de Estimativa

- Simular o projeto



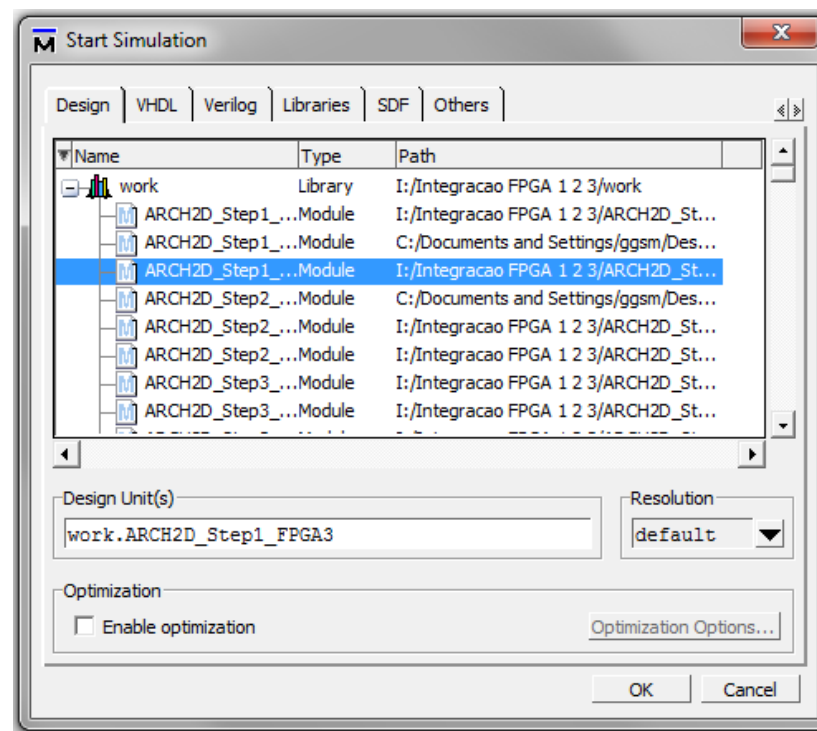
Simulate → Start Simulation

+ Fluxo de Estimativa



29

- Na janela “**Start Simulation**”, selecione no package “**work**” o arquivo Top Level comentado no início e pressione **OK**



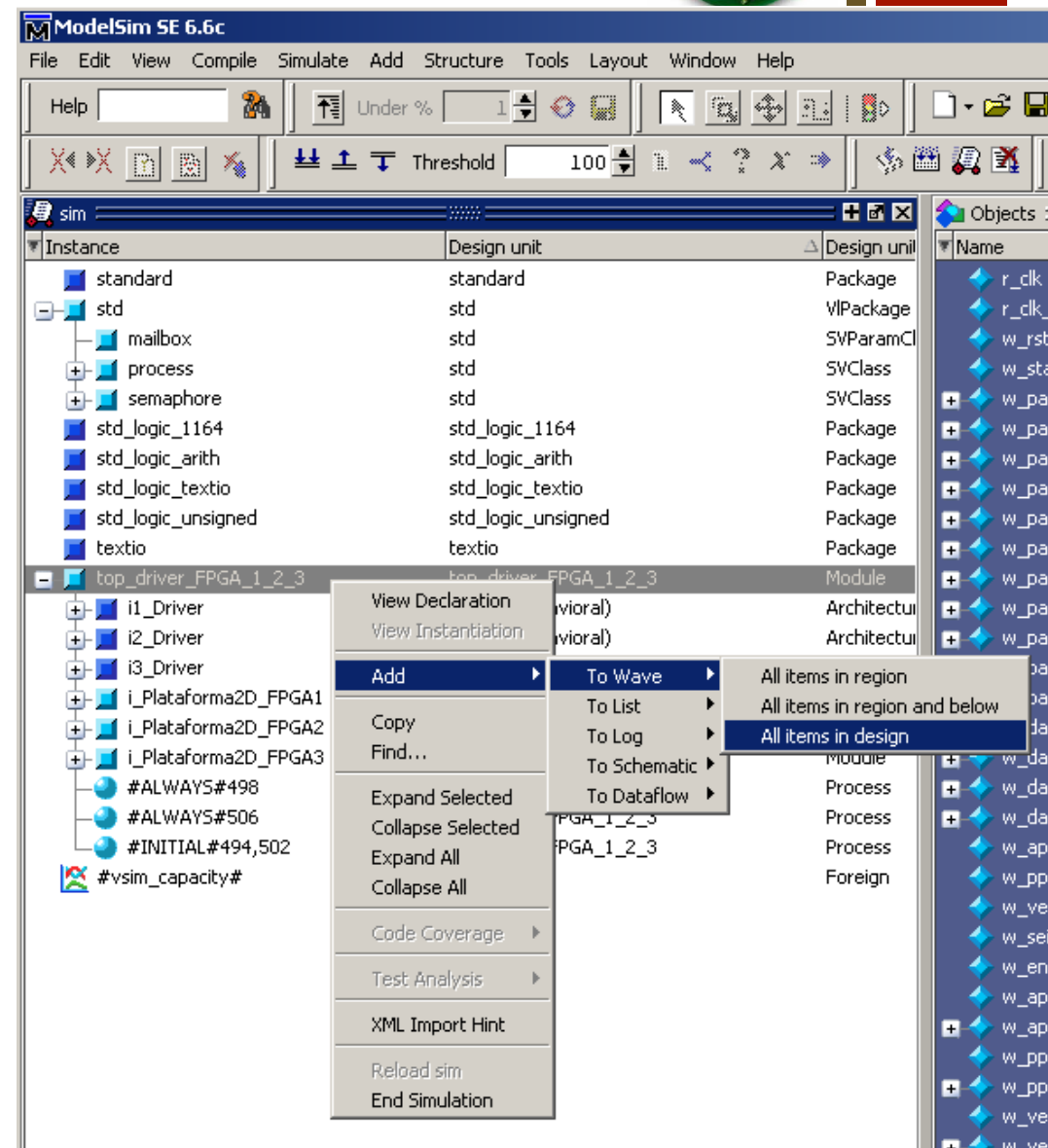


Fluxo de Estimativa



30

- Clique com o botão direito no top de seu projeto e em seguida selecione **Add → To Wave → All items in design**



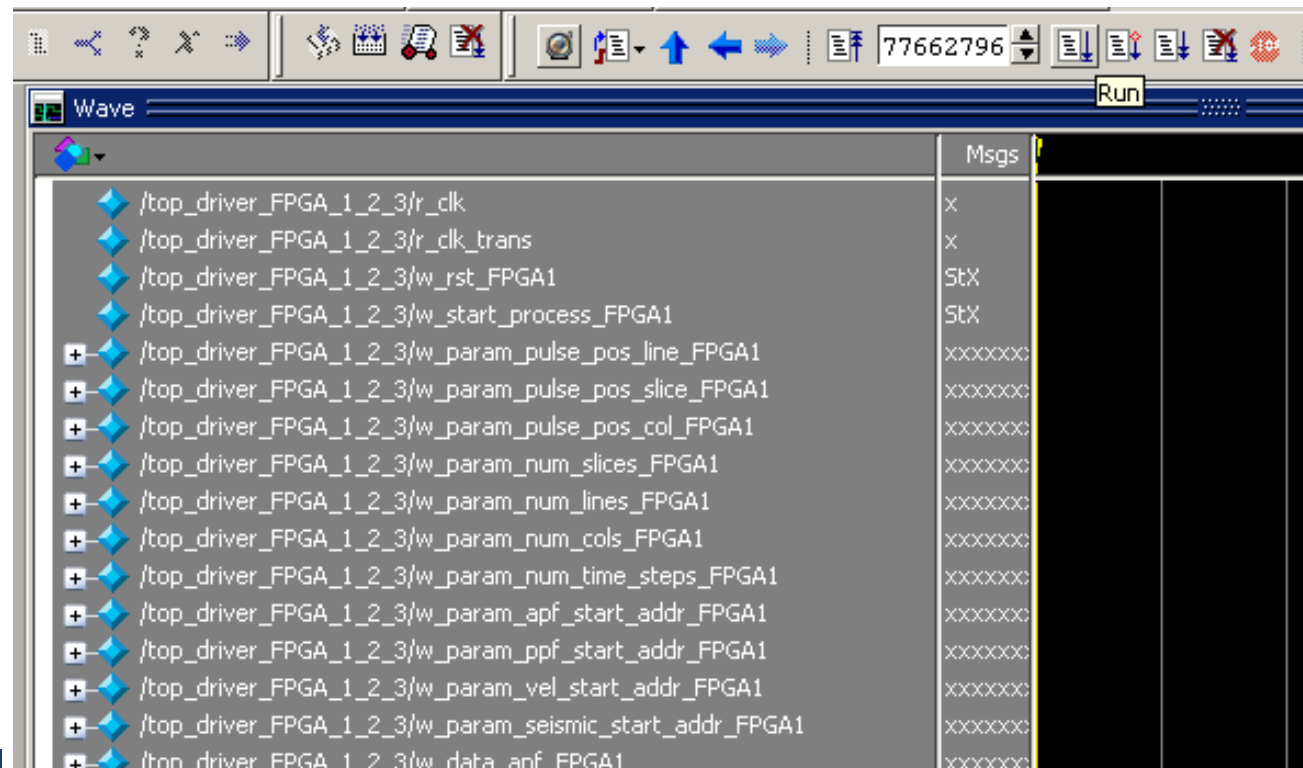


Fluxo de Estimativa



31

- A janela “**Wave**” será aberta com os sinais adicionados no passo anterior. No campo em destaque abaixo, coloque o tempo de simulação e clique em “**Run**”.



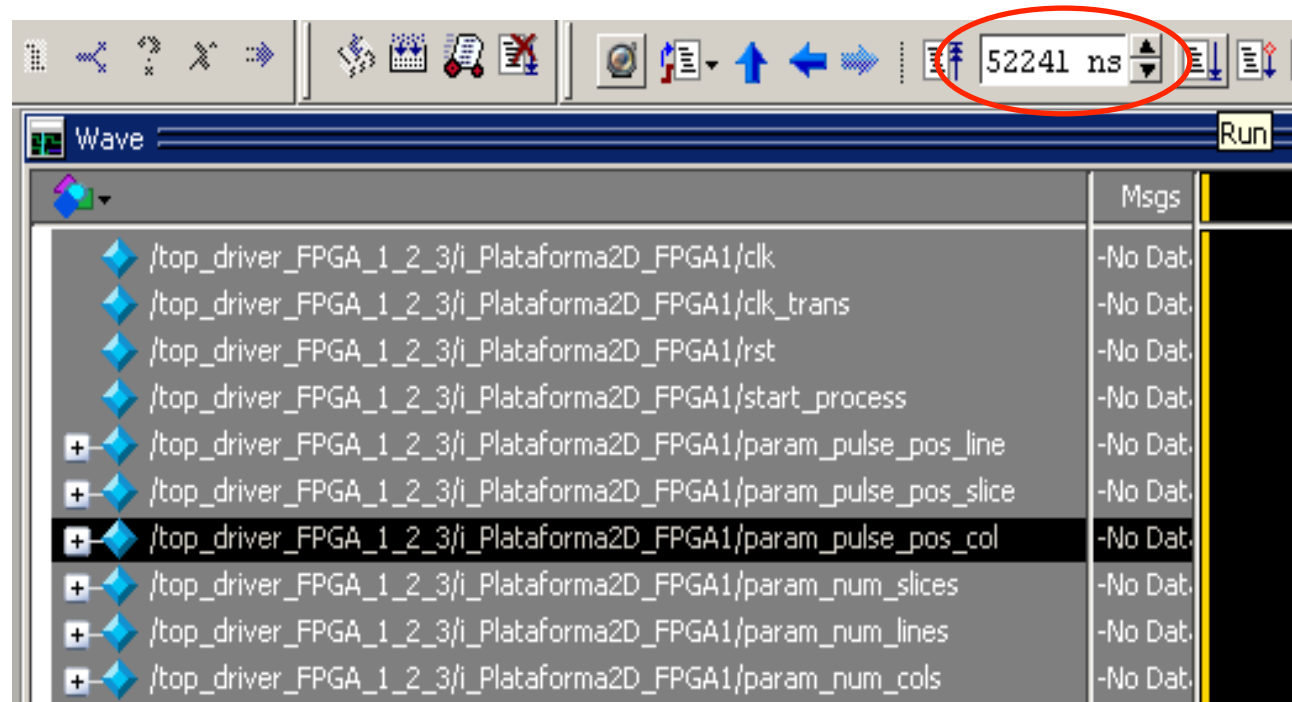


Fluxo de Estimativa



32

- A janela “**Wave**” será aberta com os sinais adicionados no passo anterior. No campo em destaque abaixo, coloque o tempo de simulação e clique em “**Run**”.



+ Fluxo de Estimativa



- Feche o projeto na janela “Transcript” com o comando:
“quit-sim”
- Crie o arquivo “.vcd” com o comando :
“wlf2vcd -o ‘nomedoarquivo’.vcd vsim.wlf”

```
Transcript
VSIM 5> run
# Updating msgviewer database...
VSIM 6> quit -sim

ModelSim> wlf2vcd -o arquivo.vcd vsim.wlf
```

Project : Integracao

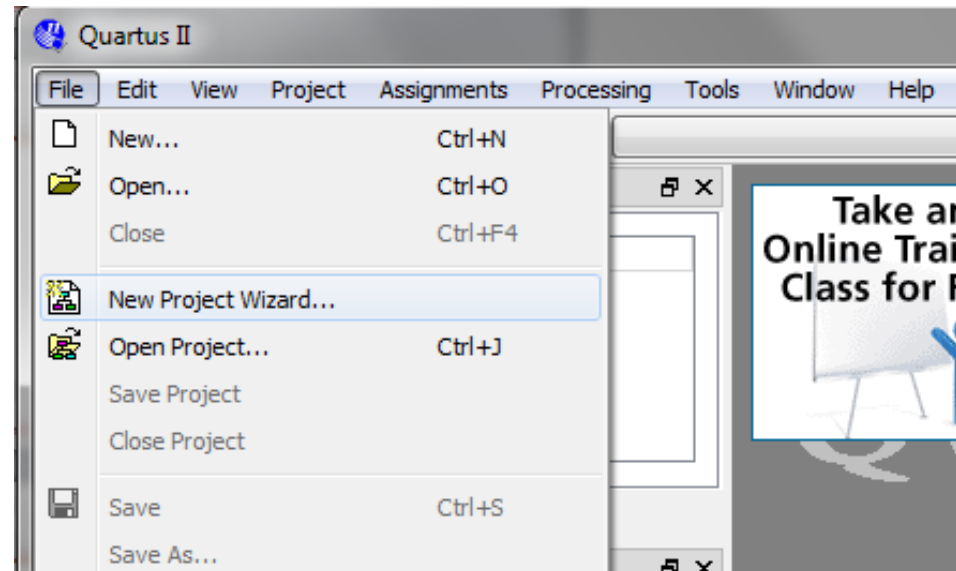


Fluxo de Estimativa



34

- Crie um novo projeto no Quartus II
File → **New Project Wizard**

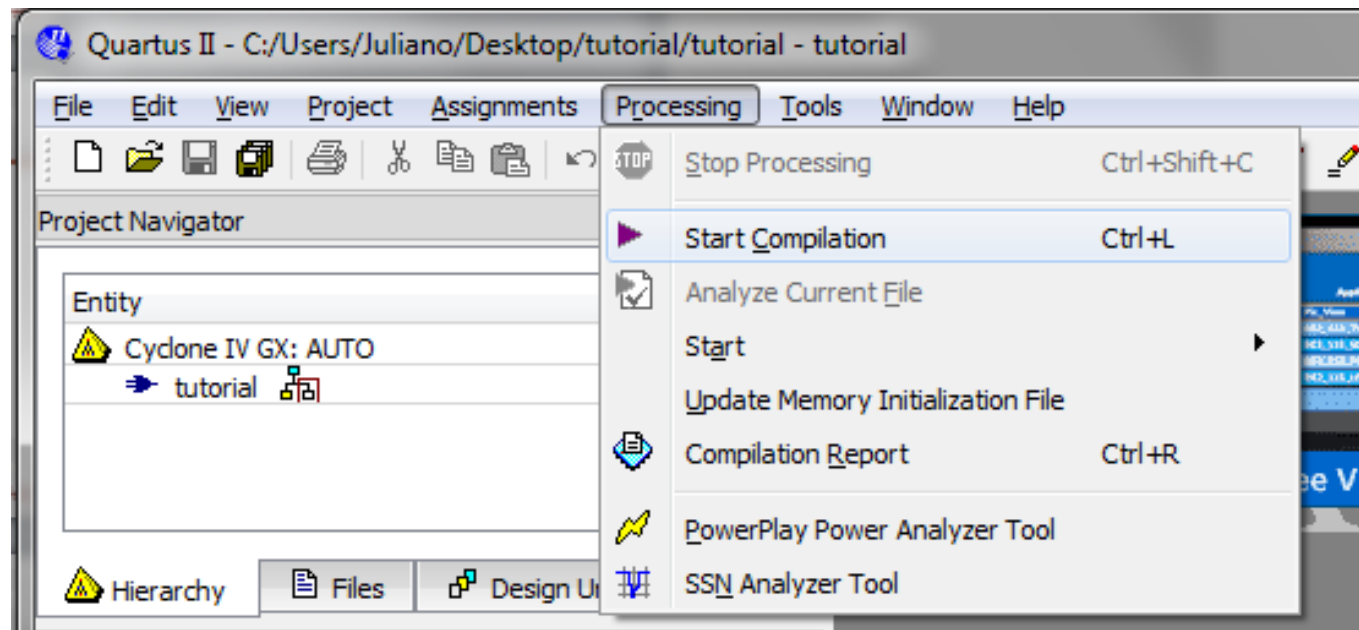


- Isso irá abrir a janela “**New Project Wizard**” para adicionar o nome, local do projeto e arquivos fonte
 - O nome do projeto deverá ser o top level do módulo
 - Aqui **NÃO** deve ser adicionado o **gerador de entradas** e o **top** que os interliga



+ Fluxo de Estimativa

- Etapa de Síntese do Projeto :
Processing → **Start Compilation**



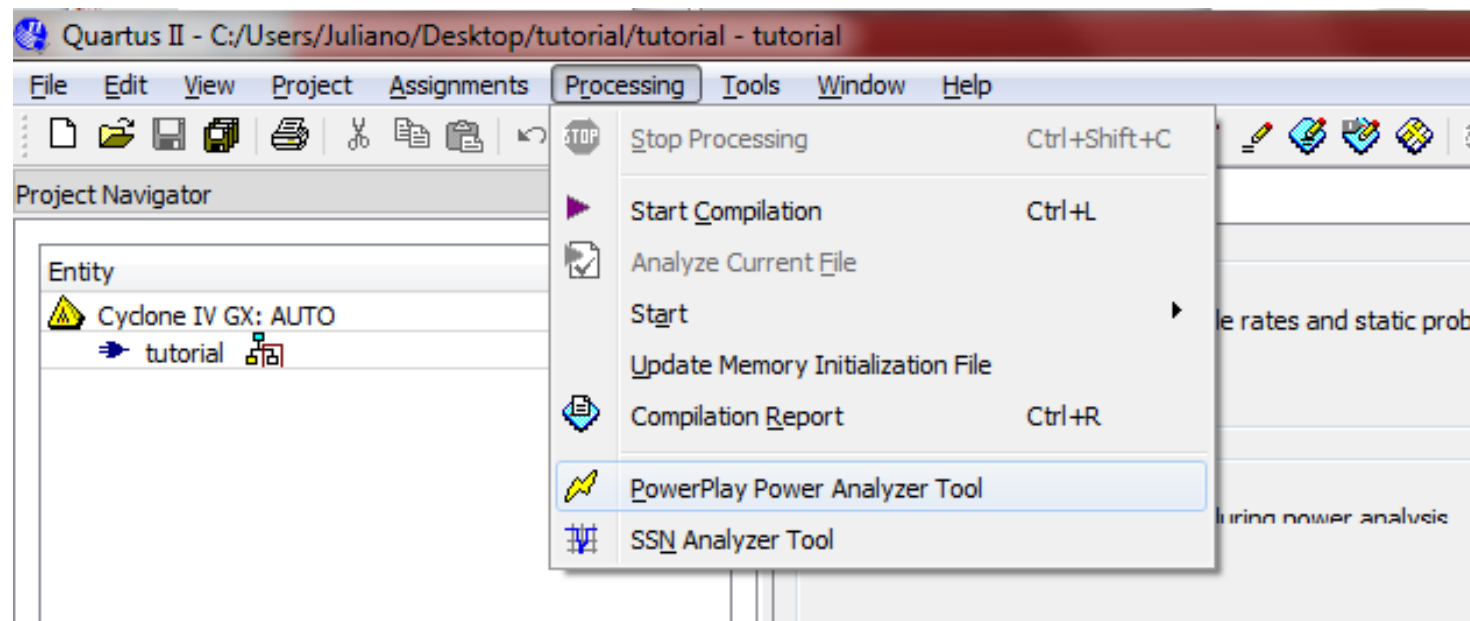


Fluxo de Estimativa



36

- Inicie o PowerPlay Analyzer Tool



Processing → PowerPlay Analyzer Tool

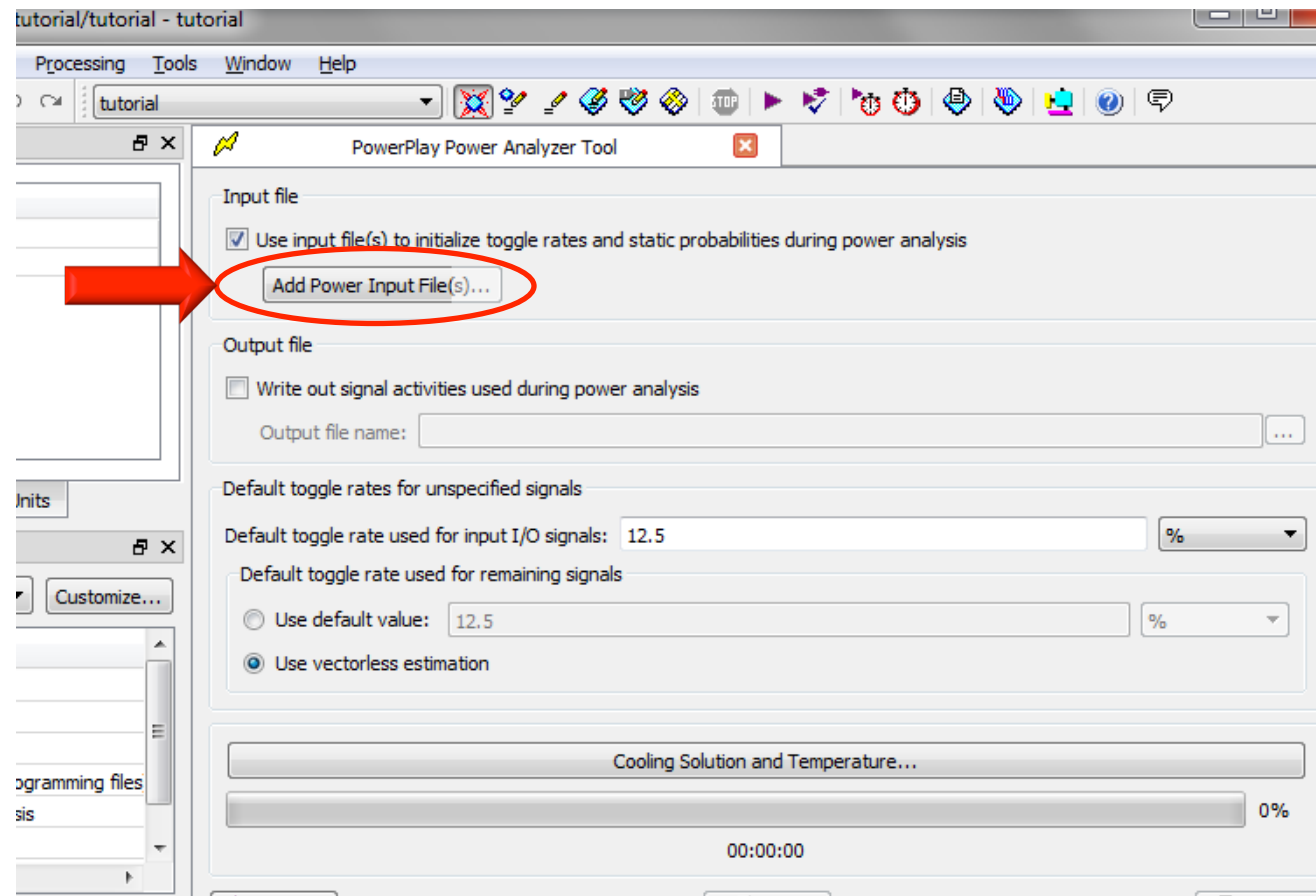


Fluxo de Estimativa



37

- Com o PowerPlay aberto, clique em: “**Add Power Input File**”. Isso irá abrir a janela “**Settings**”



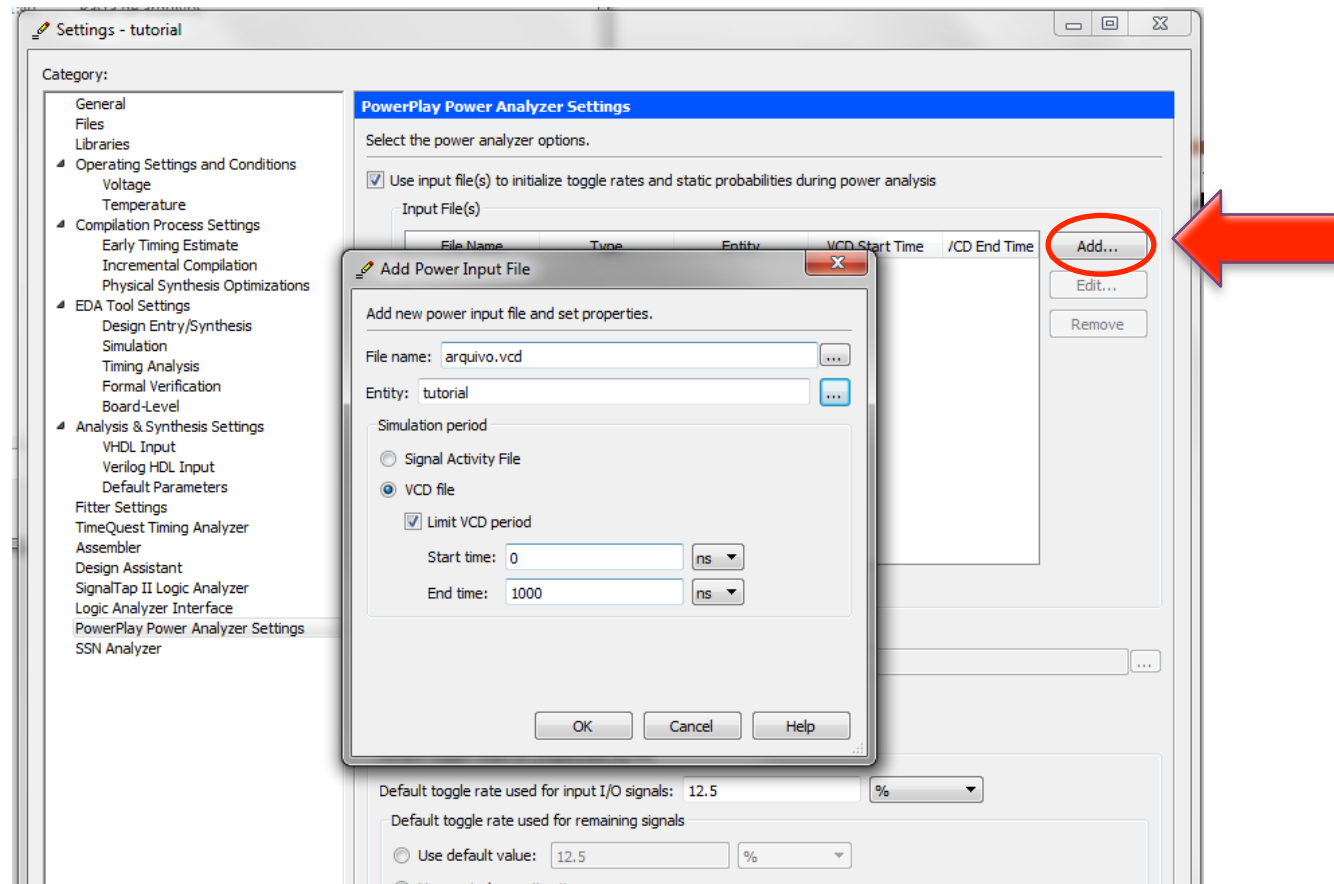


Fluxo de Estimativa



38

- Clique em “**Add**” para adicionar o arquivo “.vcd” que foi gerado no ModelSim.
- Configure os dados da Janela “**Add Power Input File**” que abrirá em seguida.



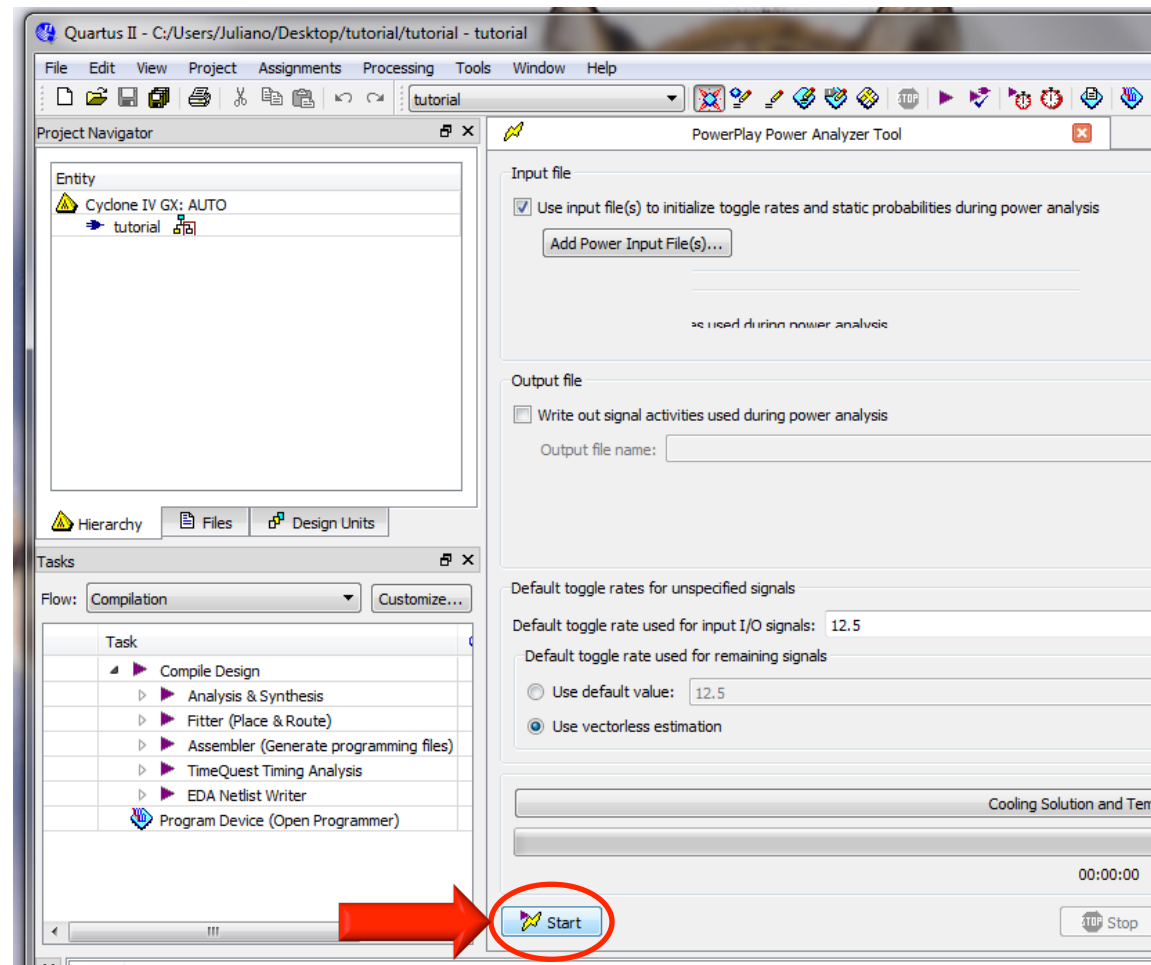


Fluxo de Estimativa



39

- Após tudo configurado, inicie a simulação do PowerPlay clicando em “**Start**”



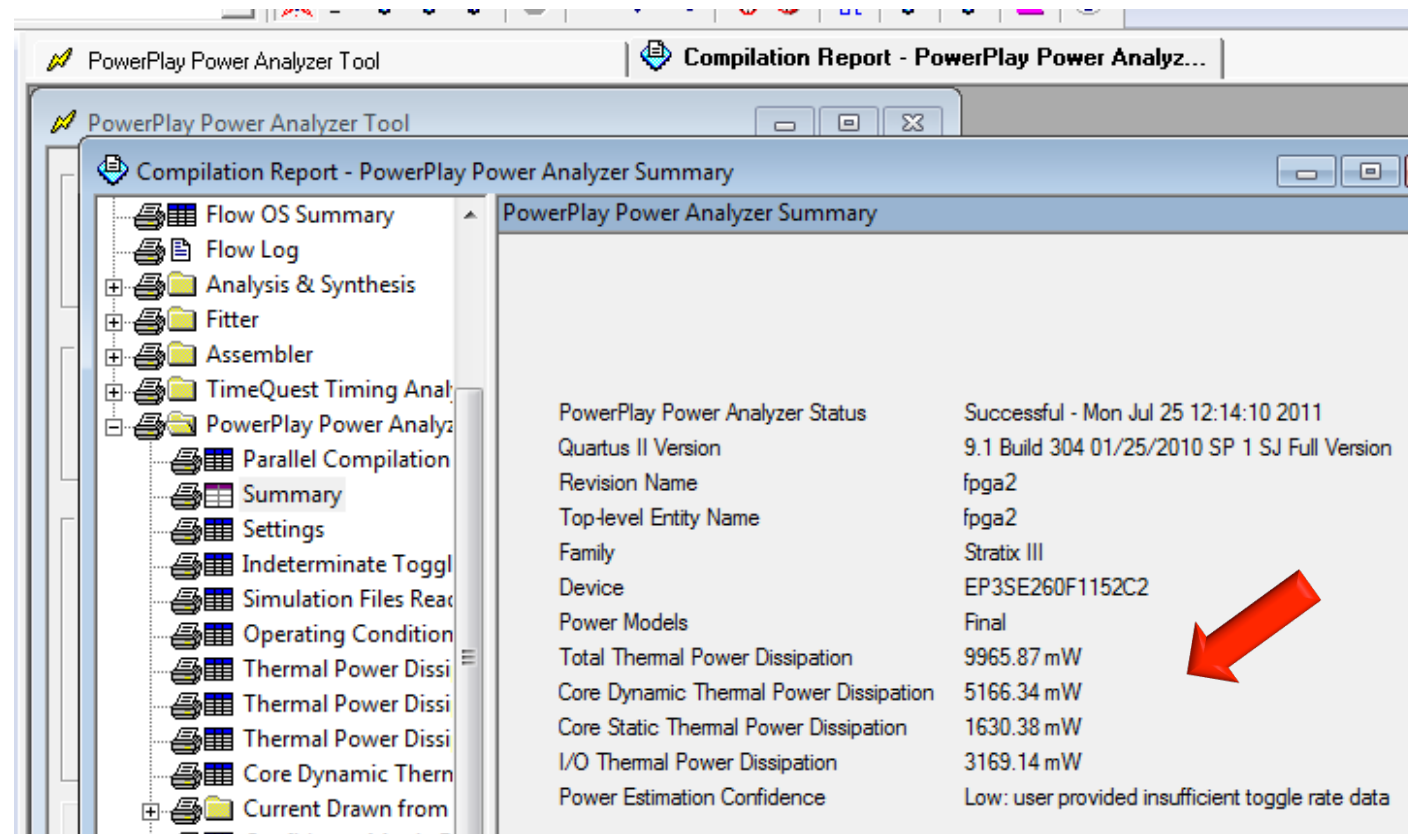


Fluxo de Estimativa



40

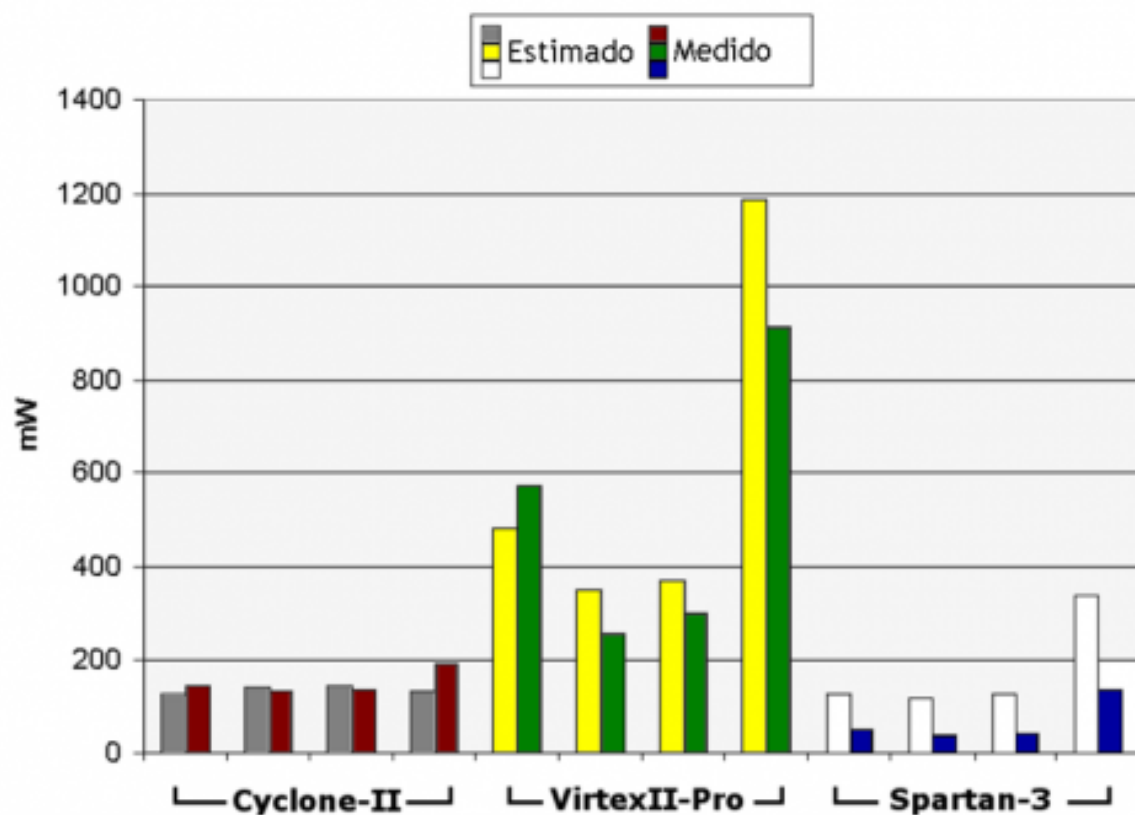
- Clique em “**Report**” para ver o resultado da estimativa de consumo de potência



+ Plataforma x Precisão



41



■ Aplicações de Segurança

■ MD5, DES, DES3, AES

■ 3 Placas Comerciais

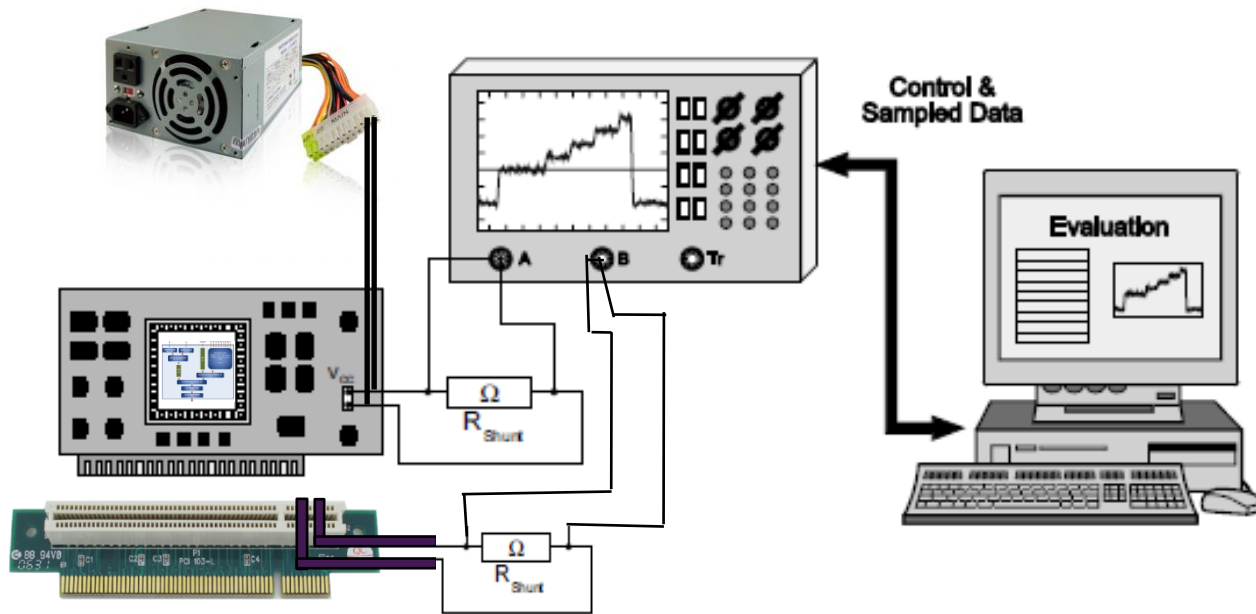
■ Precisão das placas ainda bastante baixas



Plataforma x Precisão



42

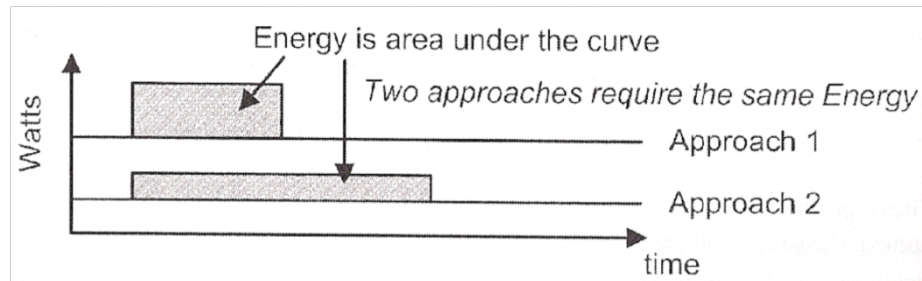


- Diferentes planos de potência
- Shunt para medir potência na PCIe
- Shunt para medir potência na Fonte

+ Redução de Energia



43



$$E_{V_{dd}} = \int_0^T P(t) dt = \int_0^T V_{dd} * i(t) dt$$

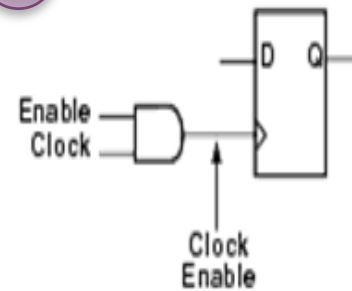
■ Gated Clock

- Figura 1 indicando que pode levar a clock glitches.
- Figura 2 indicando solução síncrona para evitar glitches
 - Enable=1, carrega novo dado

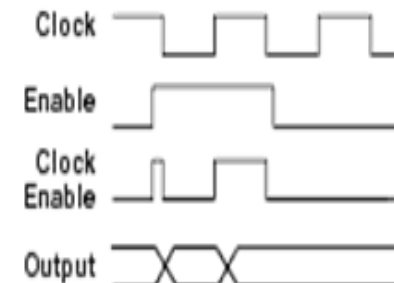
Gated Clock

1

Gated Clock



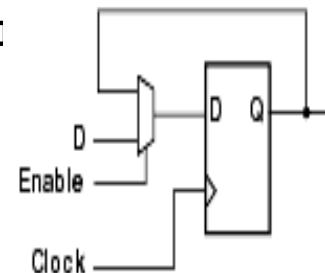
b) Corresponding Timing Diagram



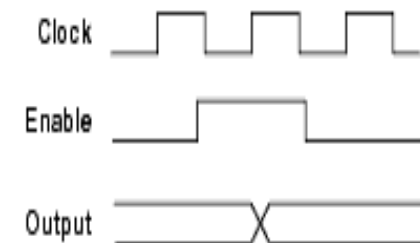
X9201

2

Using a Feedback Path

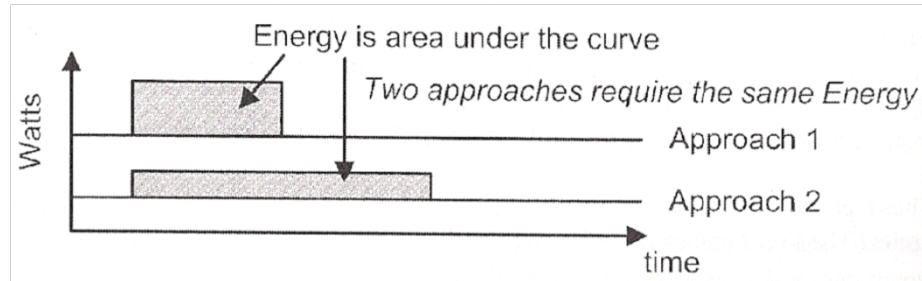


b) Corresponding Timing Diagram



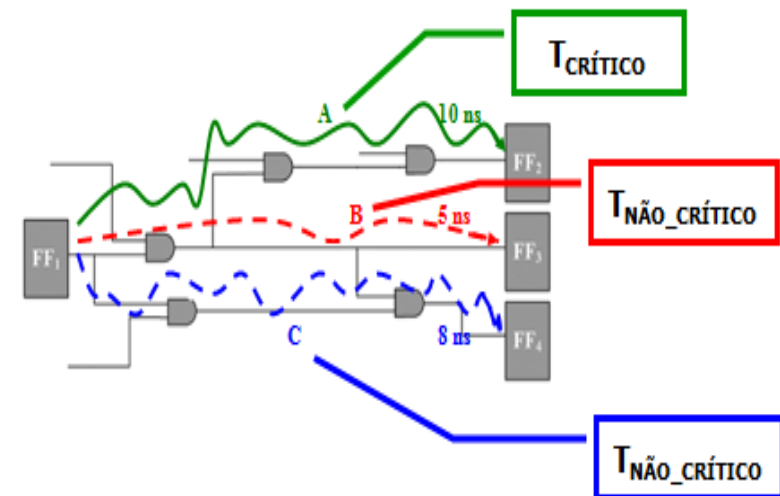
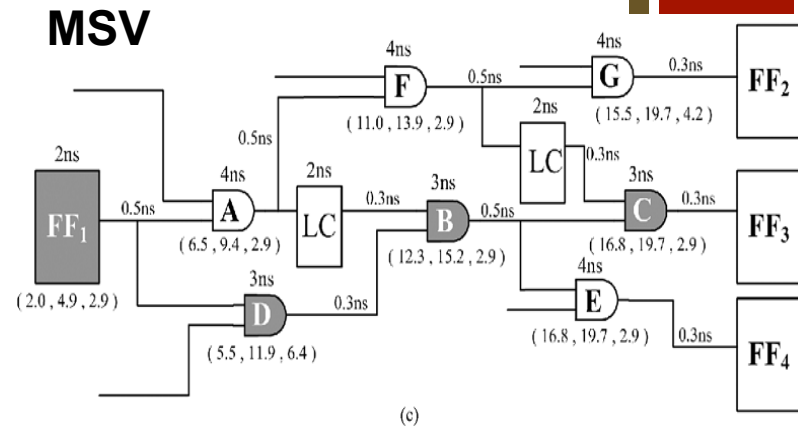
X9202

+ Redução de Energia



$$E_{V_{dd}} = \int_0^T P(t)dt = \int_0^T V_{dd} * i(t)dt$$

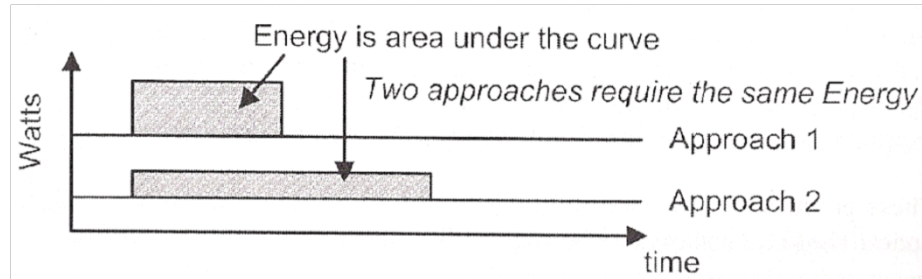
- MSV (Multiple Supply Voltage)
 - Distintas tensões de alimentação



+ Redução de Energia



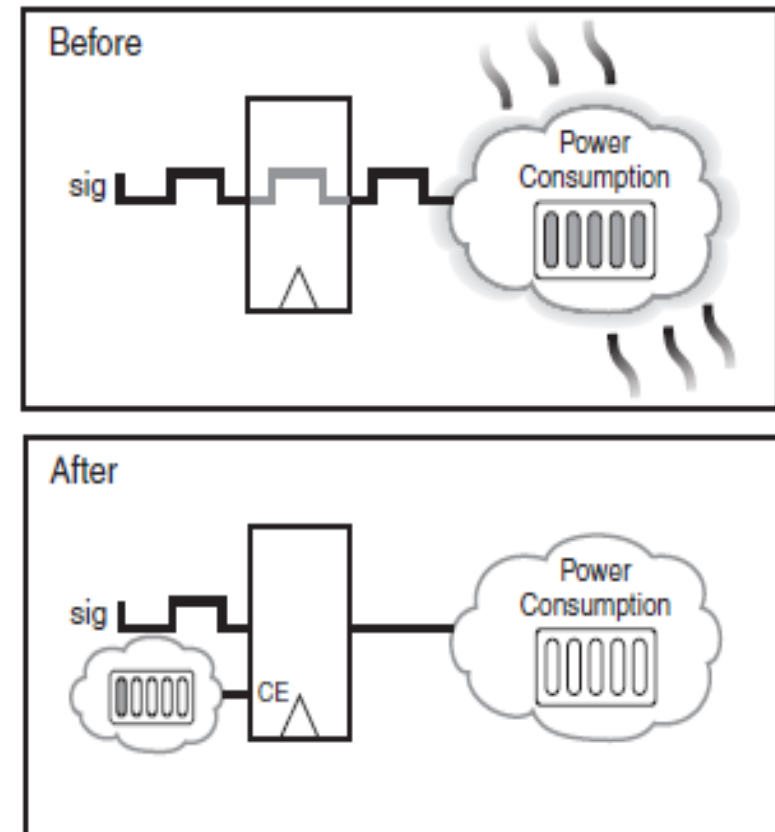
45



$$E_{V_{dd}} = \int_0^T P(t) dt = \int_0^T V_{dd} * i(t) dt$$

- Power Gating
 - Reduzir atividade de chaveamento sinais indesejáveis

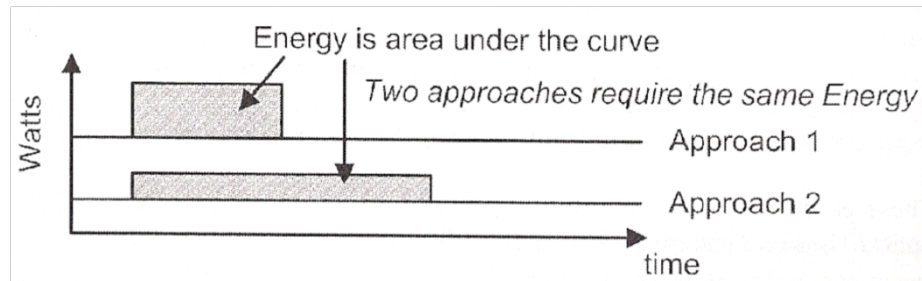
Power Gating



+ Redução de Energia

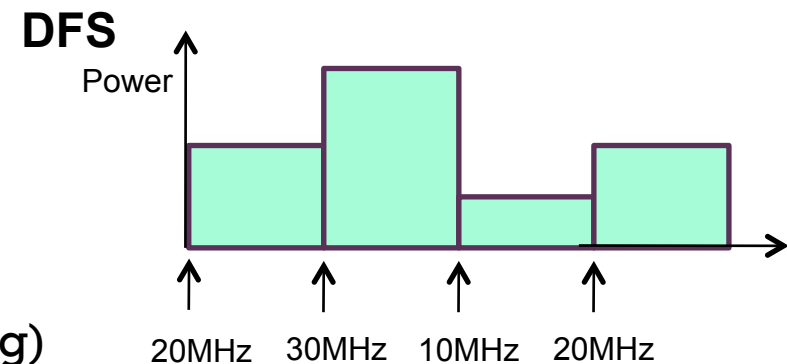
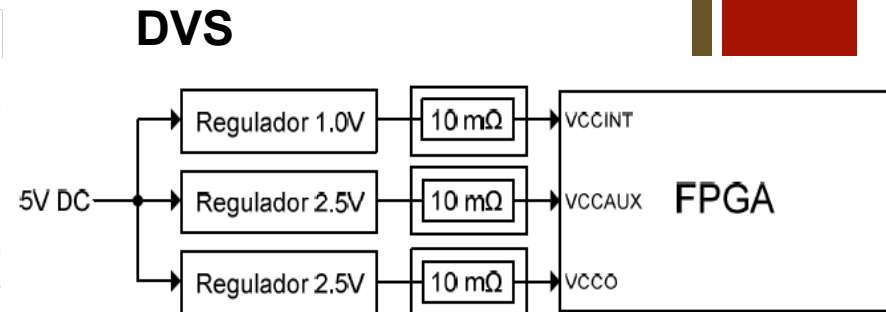


46



$$E_{V_{dd}} = \int_0^T P(t) dt = \int_0^T V_{dd} * i(t) dt$$

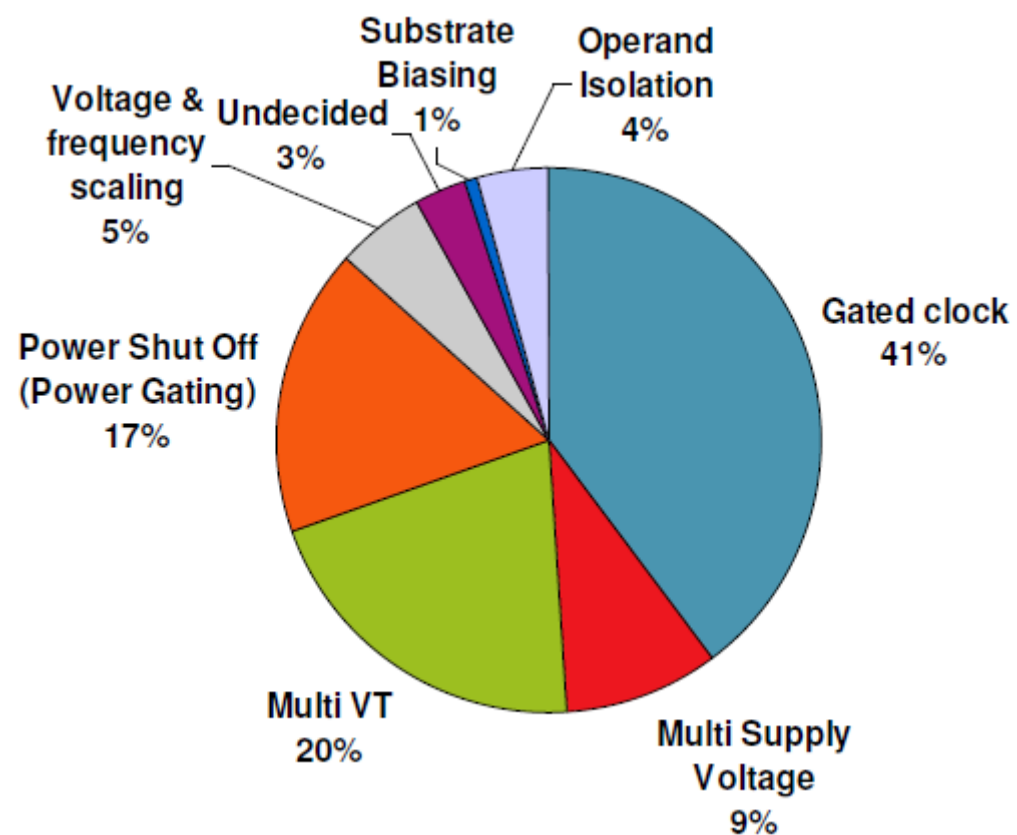
- DVS (Dynamic Voltage Scaling)
- DFS (Dynamic Frequency Scaling)
- DVFS (Dynamic Voltage Frequency Scaling)



+ Redução de Energia



47



+ Aplicação



48

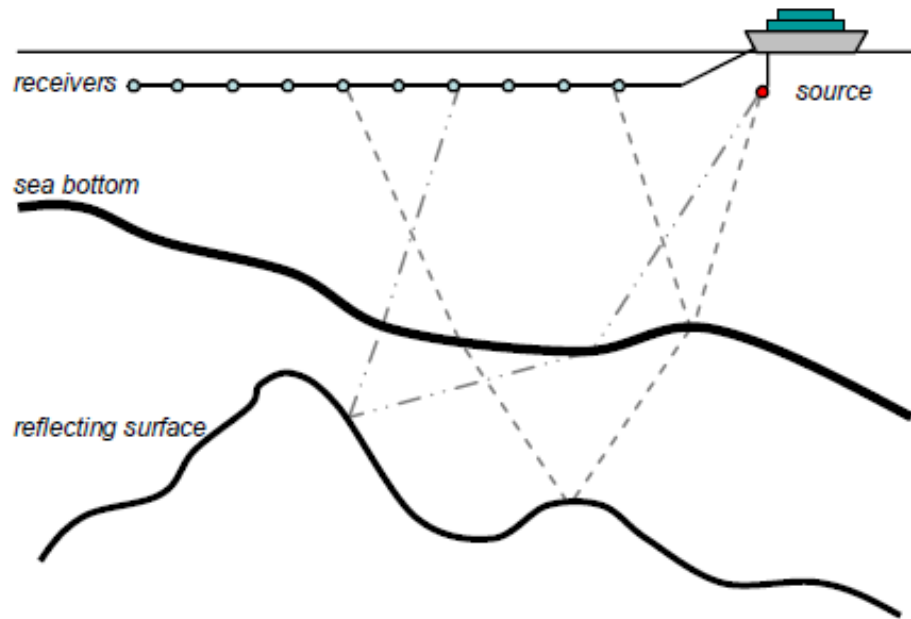


Figure 1: Seismic data acquisition

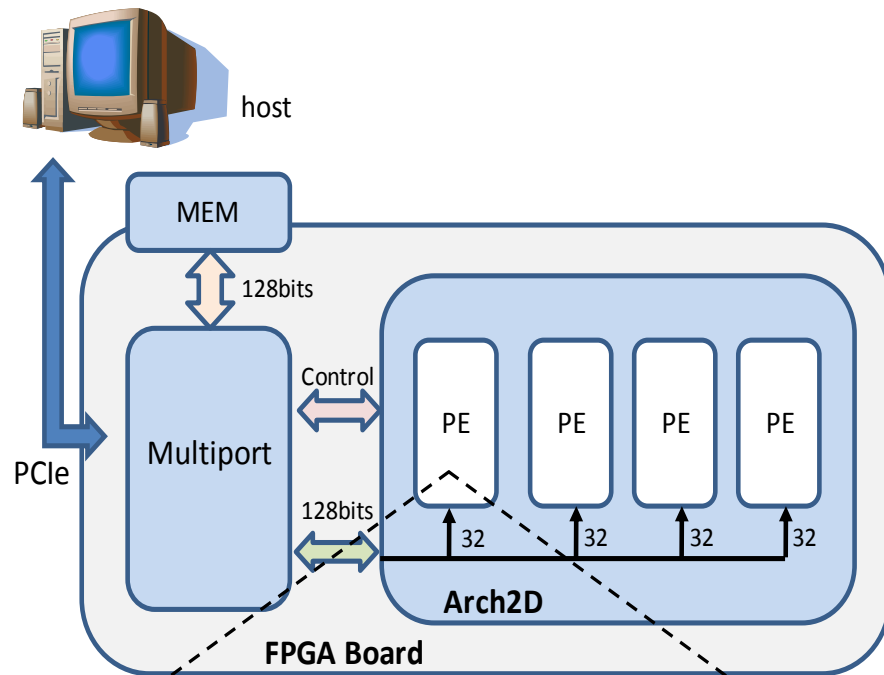
- Aquisição de dados no mar.
- O “**source**” periodicamente gera ondas que produzem reflexões na borda da superfície que são em seguida coletados por “**receivers**”.
- Processo de Migração Sísmica para produzir uma imagem do subterrâneo consistente com os dados adquiridos.

Fonte : PETROBRAS, “Computational Characteristics of Production Seismic Migration and its Performance on Novel Processor Architectures”, SBAC-PAD 2007.

+ Aplicação



49



$$C_{i,j} = K1 * B_{i,j} - A_{i,j} - \{Vel_{i,j}^2 * fat[K2 * (B_{i,j+1} + B_{i,j-1} + B_{i+1,j} + B_{i-1,j}) - 1 * (B_{i,j+2} + B_{i,j-2} + B_{i+2,j} + B_{i-2,j}) - K3 * B_{i,j}]\}$$

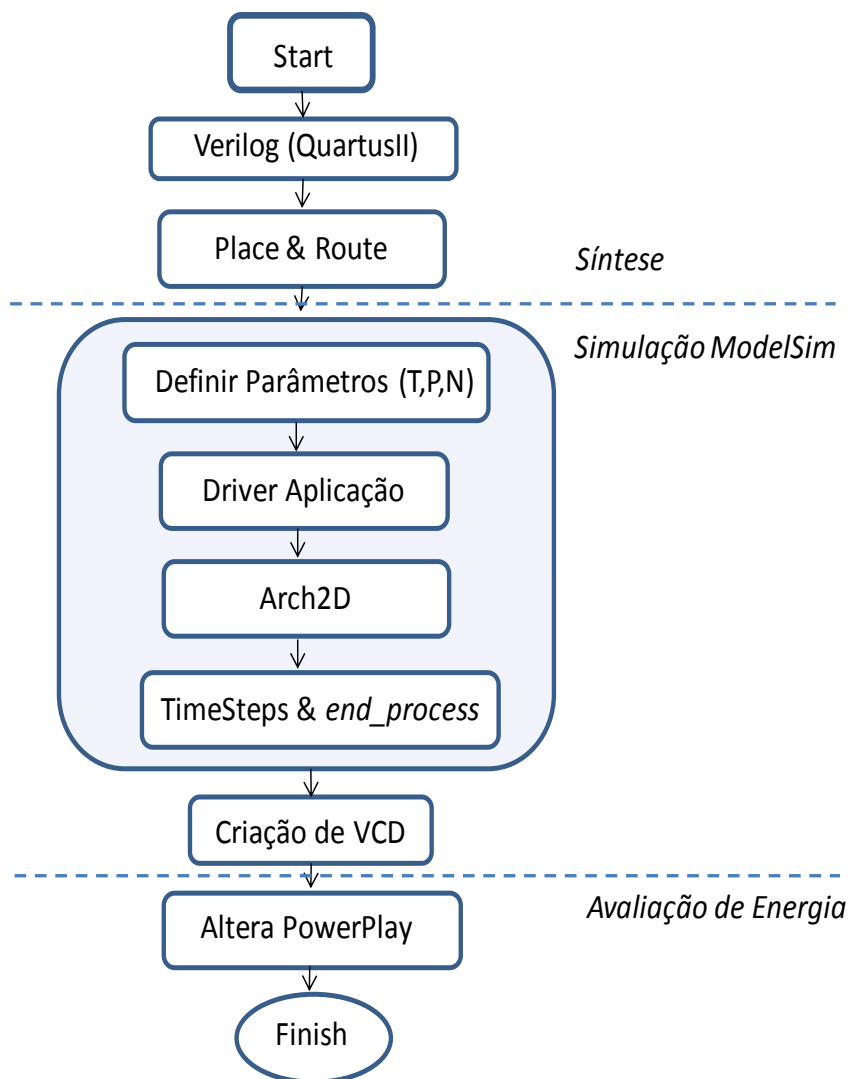
■ Ambiente Experimental

- Host Intel Core 2 Quad
- Placa Gidel DDR2, FPGA Altera Stratix III 260E
- 512MB SDRAM, 2 SODIMM de 8GB cada uma.
- Uso da PowerPlay Analyzer Tool

+ Aplicação

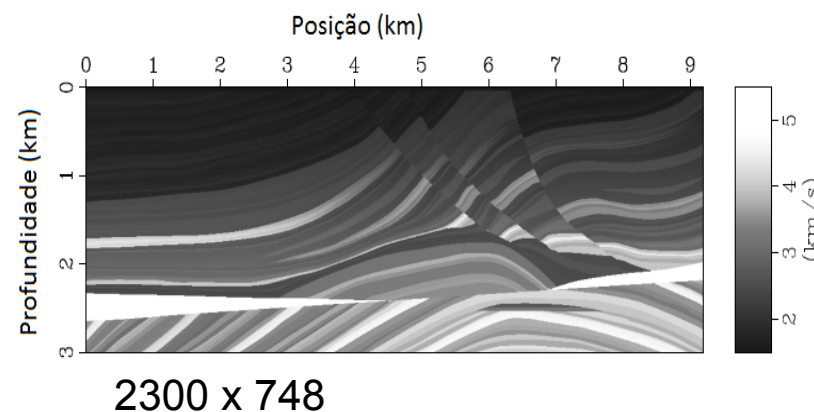


50



■ Metodologia

- Altera Quartus II
- ModelSim
- PowerPlay Analyzer Tool
- Gidel PROCStar
- Marmousi



+ Aplicação



Tecnologia	Plataforma	Frequência (GHz)	Potência Máxima (Watts)
CPU	Athon 64x2 6000	3.0GHz	125W
GPU	Tesla T10 c1060	1.3GHz	160W
FPGA	Stratix III 260E Gidel ProcStar III	125MHz	18W

Tecnologia	Tempo Processamento (segundos)	Desempenho (GSample/s)	Eficiência (MSample/Joule)	Eficiência (MSample/Joule) (Normalizado)
CPU	354,97974	0,07199011	0,5759	1
GPU	22,72672	1,12444871	7,0278	12,20
FPGA	13,61000	1,87766576	104,3148	181,13





Análise de Potência



Manoel Eusebio de Lima

Victor Medeiros

Abel Guilhermino Silva-Filho

(agsf@cin.ufpe.br)

